

Effetti delle radiazioni su dispositivi elettronici in tecnologie CMOS, JFET, bipolari

Valerio Re

Dipartimento di Ingegneria Industriale

Università di Bergamo

INFN Pavia

Sommario

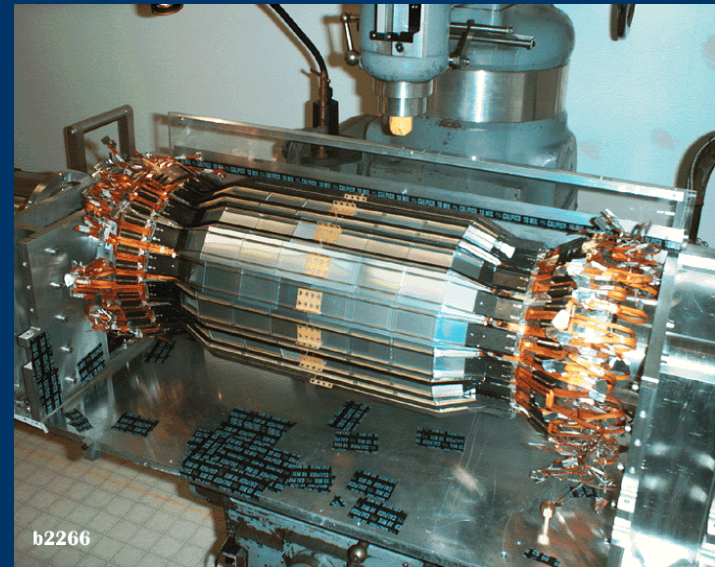
- **Il problema del danno da radiazione**
(elettronica di front-end per rivelatori di radiazione)
- **Meccanismi fondamentali di danno da radiazione nei semiconduttori**
- **Degradazione delle prestazioni di dispositivi elettronici in seguito all'assorbimento di radiazione**
- **Elettronica “radiation - hard”**
 - JFET (high resolution energy measurements, cryogenics)
 - deep submicron CMOS (high density mixed-signal detector front-end systems)
 - RF bipolar transistors (SiGe)

Danno da radiazione

- Quando un circuito elettronico è esposto a radiazione, in generale si verifica un’alterazione permanente o transitoria delle proprietà elettriche dei componenti attivi del circuito:
 - ⇒ Degradazione delle prestazioni
 - ⇒ Rottura (catastrophic failure)
- 1962: high altitude nuclear experiments caused failure in the communications satellite Telstar I
 - ⇒ studio intenso degli effetti delle radiazioni su dispositivi a semiconduttore
- In seguito, interesse crescente per lo studio di circuiti che lavorano in ambiente radioattivo: missioni spaziali, satelliti, strumentazione per impianti di produzione di energia nucleare, esperimenti di fisica delle alte energie

HEP *experiments* at high luminosity colliders

- Elevate dosi di radiazione ionizzante e fluenze neutroniche (SLHC: 300 Mrad, 10^{16} n/cm²)
 - ⇒ circuiti integrati *rad-hard* utilizzati per elettronica di lettura dei rivelatori resistenti alle radiazioni



- ⇒ la tolleranza alle radiazioni può essere ottimizzata sfruttando:
 - Evoluzione dei processi microelettronici (deep submicron CMOS)
 - speciali tecniche di layout
 - speciali architetture circuitali (talk by F. Anghinolfi)

Elettronica di front-end per rivelatori

Circuiti integrati *rad-hard mixed-signal* (analogico-digitali):

- Acquisizione di segnali elettrici dal rivelatore
(tipicamente un breve impulso di corrente)
- Amplificazione e formatura del segnale in modo da ottimizzare:
 - minimo segnale rivelabile (detect hit/no hit)
 - misura di energia (ampiezza del segnale)
 - event rate
 - misura del tempo di arrivo
- Conversione analogico-digitale
- Memorizzazione, digital processing

Dispositivi a semiconduttore (tecnologie al silicio)

Meccanismi fondamentali che determinano il danno da radiazione in Si, SiO₂:

Danno da dislocamento (Displacement damage)

(modalità primaria di danneggiamento nel caso di irraggiamento con neutroni)

La radiazione incidente sposta atomi di silicio dalla loro posizione reticolare, alterando le caratteristiche elettroniche del cristallo.

Danno da ionizzazione (Ionization damage)

(modalità primaria di danneggiamento nel caso di irraggiamento con particelle cariche)

Attraverso processi di ionizzazione vengono liberati portatori di carica, che diffondono o derivano e vengono eventualmente intrappolati, generando indesiderate concentrazioni di carica e conseguenti campi elettrici.

Effetti cumulativi (dose totale)

Effetti transitori (fotocorrenti, Single Event Effects)

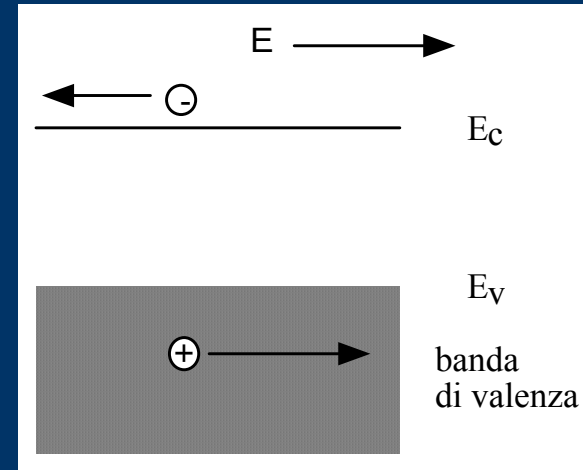
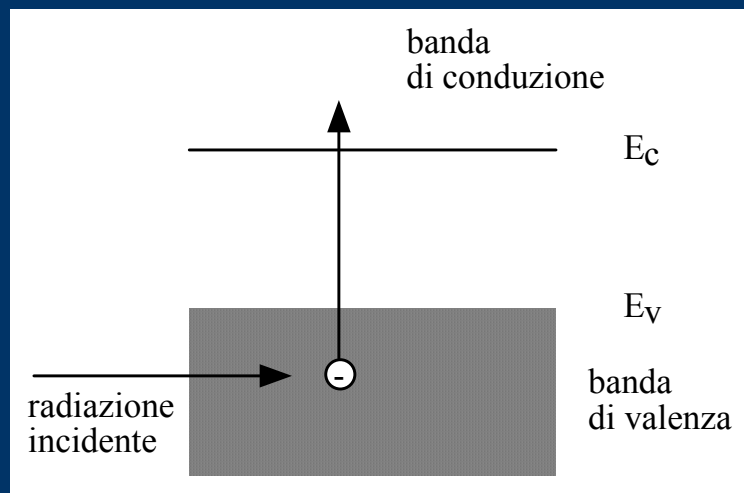
Effetti di ionizzazione

Processo di ionizzazione in semiconduttori e isolanti:

un elettrone nella banda di valenza è eccitato attraverso la banda proibita in uno stato nella banda di conduzione, in seguito all'interazione con una particella carica.

L'elettrone e la lacuna (hole) diffondono o derivano (in presenza di campi elettrici) lontano dal punto di generazione.

- ⇒ ricombinazione
- ⇒ intrappolamento in difetti
- ⇒ raccolta a un elettrodo



Effetti di ionizzazione transitori

Se è presente un campo elettrico (giunzioni p-n), si ha separazione delle cariche (elettroni e lacune).

La radiazione induce una corrente elettrica (fotocorrente) nelle regioni di giunzione.

Effetti di ionizzazione permanenti

Negli isolanti la mobilità e il numero dei portatori di carica generati dalla radiazione sono più piccoli che nei semiconduttori, quindi le fotocorrenti non sono un problema.

Gli isolanti contengono relativamente grandi densità di centri di intrappolamento di cariche.

Le cariche intrappolate generano campi elettrici, che possono determinare lo spostamento di caratteristiche operative dei dispositivi.

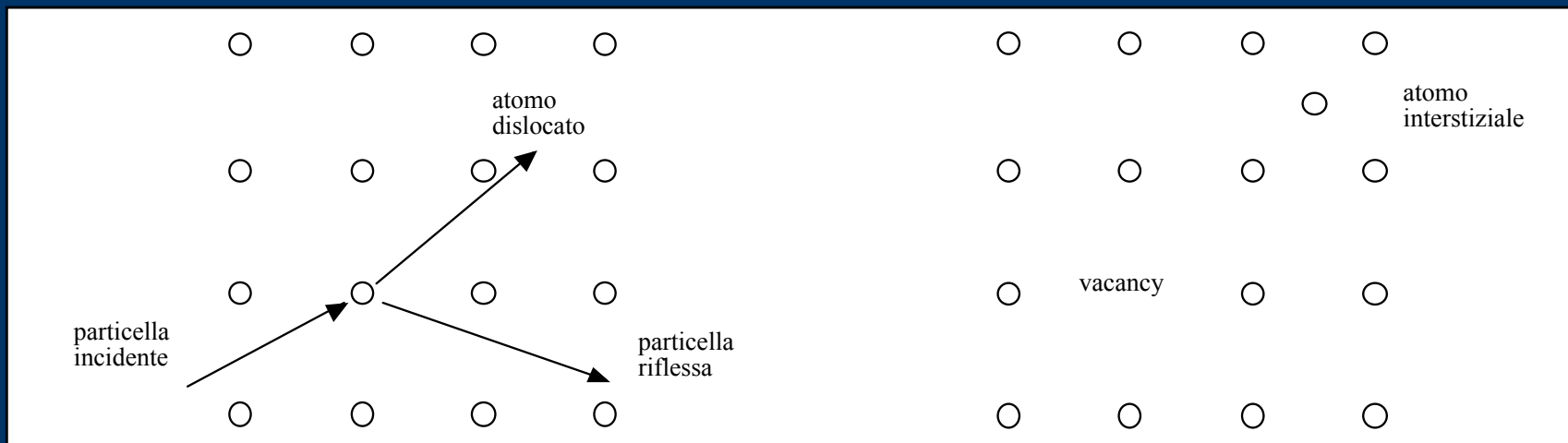
Effetti del danno da dislocamento

Una particella incidente (neutrone) interagisce con un atomo del reticolo, impartendogli sufficiente energia da dislocarlo (la soglia in energia per la dislocazione di atomi in silicio è circa 20 eV).

L'atomo dislocato percorre un certo tratto, eventualmente producendo altre dislocazioni (neutrone da 1 MeV trasferisce circa 70 keV a un atomo del reticolo, che disloca circa 100 atomi in una regione di dimensione 0.1 μm).

Si producono difetti, che disturbano la periodicità del cristallo e producono livelli energetici nella banda proibita.

Tali livelli energetici alterano le proprietà elettriche del materiale e dei dispositivi (minority carrier lifetime, carrier concentration, mobility).



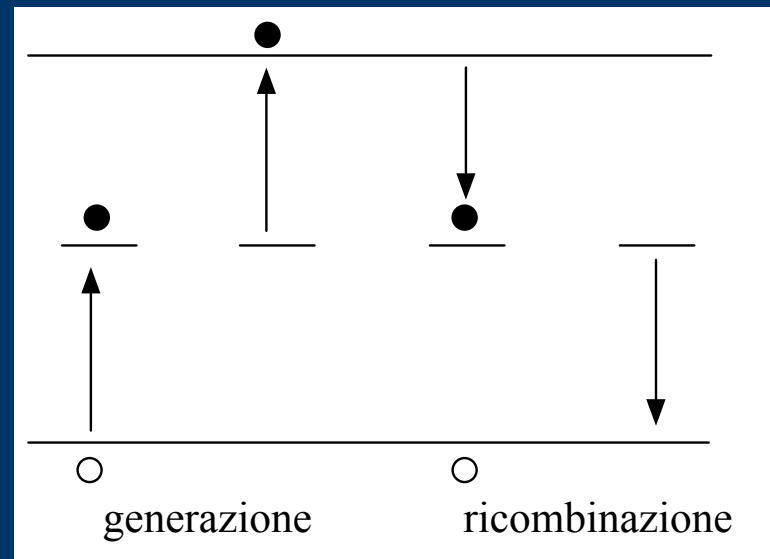
Effetto dei livelli energetici nella banda proibita (1)

E' facilitata la transizione di elettroni dalla banda di valenza alla banda di conduzione.

Poiché le probabilità di transizione sono funzioni esponenziali della differenza in energia, tutti i processi che richiedono transizioni fra le bande richiedono stati nel bandgap perchè si abbia un rate apprezzabile.

Generazione: dominante in regioni di svuotamento in giunzioni p-n
(aumento della corrente inversa)

Ricombinazione dominante in giunzioni p-n polarizzate direttamente,
dove si ha riduzione del flusso di corrente (perdita di carica)



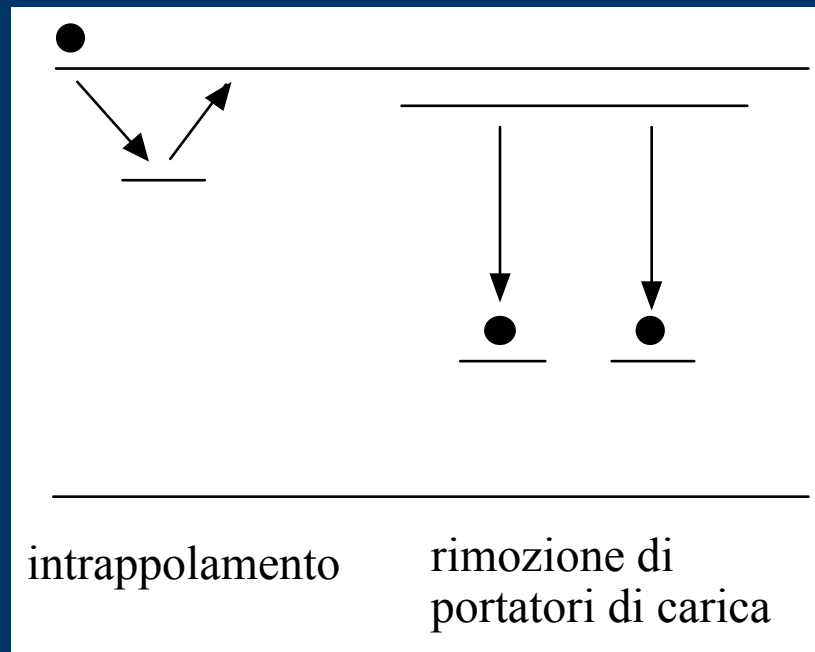
Effetto dei livelli energetici nella banda proibita (2)

Stati nella banda intermedia facilitano l'intrappolamento, in cui la carica viene catturata e poi rilasciata dopo un certo tempo.

Rimozione dei portatori maggioritari (compensazione del drogaggio)

Creazione di centri di scattering dei portatori di carica (riduzione della mobilità)

Defect-assisted tunneling di portatori di carica attraverso una barriera di potenziale (aumento di corrente inversa in giunzioni p-n, corrente di perdita in ossidi sottili)



Effetti delle radiazioni su componenti elettronici

Danno da dislocamento

Degradazione della vita media dei portatori minoritari (ricombinazione)

Riduzione della mobilità

Riduzione della concentrazione di portatori

Bulk-effect devices

Transistori bipolari

Funzionamento basato sul trasporto di portatori minoritari (diffusione):

sensibili alla degradazione della vita media

→ Current gain degradation

JFET (Junction Field Effect Transistor)

Funzionamento basato sul trasporto di portatori maggioritari (deriva):

sensibili a fenomeni di intrappolamento dei portatori

→ Gate leakage current increase, Lorentzian noise

Effetti delle radiazioni su componenti elettronici

Danno da ionizzazione

Dose totale

Intrappolamento di cariche in strati di SiO_2 ,
aumento della densità di stati superficiali all'interfaccia $\text{Si} - \text{SiO}_2$

Surface-controlled devices

MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)

Funzionamento basato sulla deriva di portatori maggioritari in prossimità dell'interfaccia ossido – silicio:

sensibili all'intrappolamento di cariche nell'ossido di gate e a effetti superficiali
→ Threshold voltage shift, parasitic leakage currents, mobility degradation

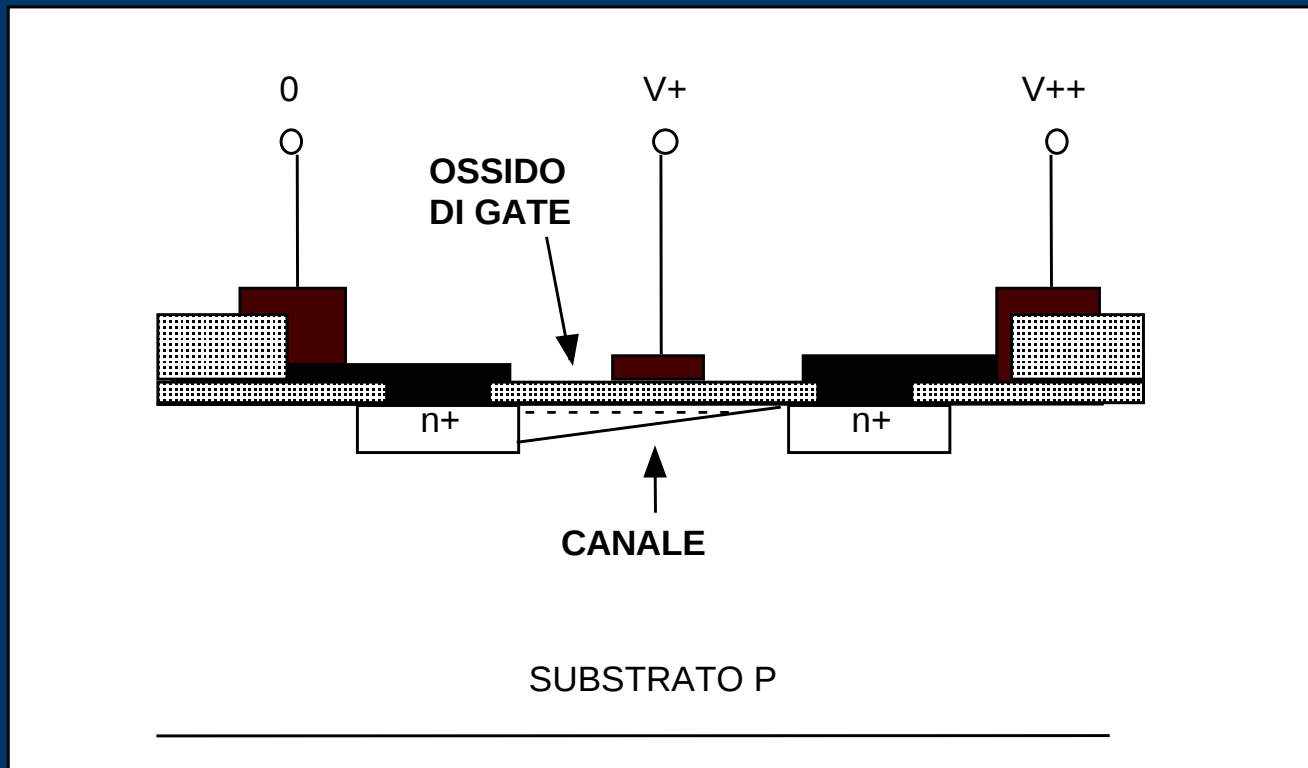
Effetti transitori di ionizzazione

Single Event Effects (talk by A. Paccagnella)

MOSFET

(Metal-Oxide-Semiconductor Field-Effect Transistor)

Un elettrodo di controllo (gate) regola il flusso di corrente fra i due elettrodi (source, drain) posti alle estremità di un canale conduttivo (dispositivo a deriva di portatori maggioritari). Il canale viene creato dall'inversione dello strato sottostante l'ossido di gate. La tensione gate-source necessaria per creare il canale è detta tensione di soglia.



Effetti delle radiazioni su strutture MOS

Lo strato più sensibile alle radiazioni ionizzanti è l'ossido (SiO_2) di gate.

Quando una particella ionizzante attraversa la struttura MOS:

■ generazione di coppie *elettrone-lacuna*

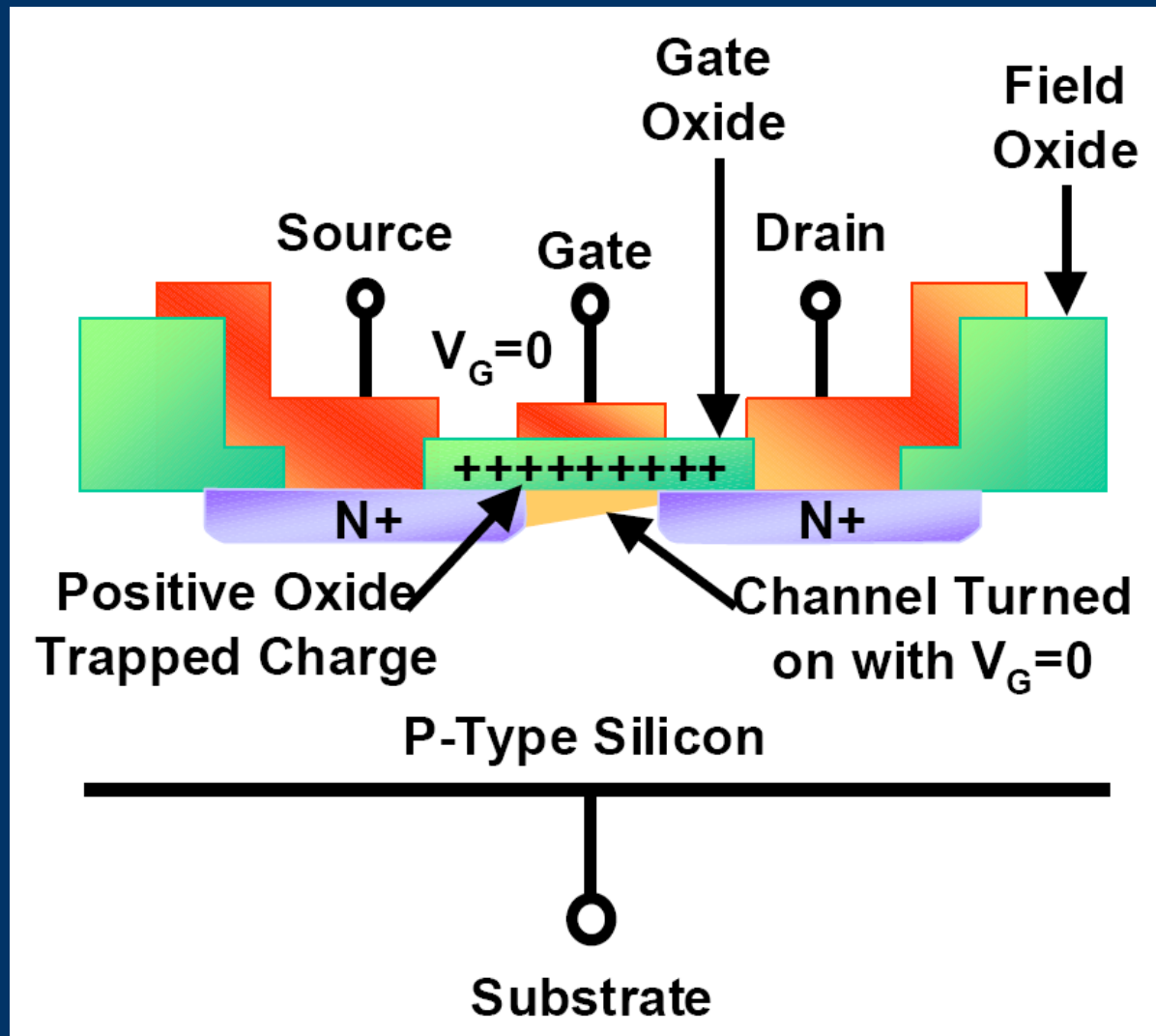
- Nell'ossido di gate parte delle coppie si ricombina, la parte restante separata da campo elettrico applicato.

Per $V > 0$:

- gli elettroni si muovono verso elettrodo di gate
- le lacune si muovono verso l'interfaccia $\text{SiO}_2\text{-Si}$ dove possono essere catturate dando origine a carica fissa in SiO_2

■ Creazione trappole all'interfaccia $\text{SiO}_2\text{-Si}$

Intrappolamento di lacune nell'ossido di gate e spostamento della tensione di soglia



Generazione e ricombinazione di coppie $e-h$ nell'ossido di gate

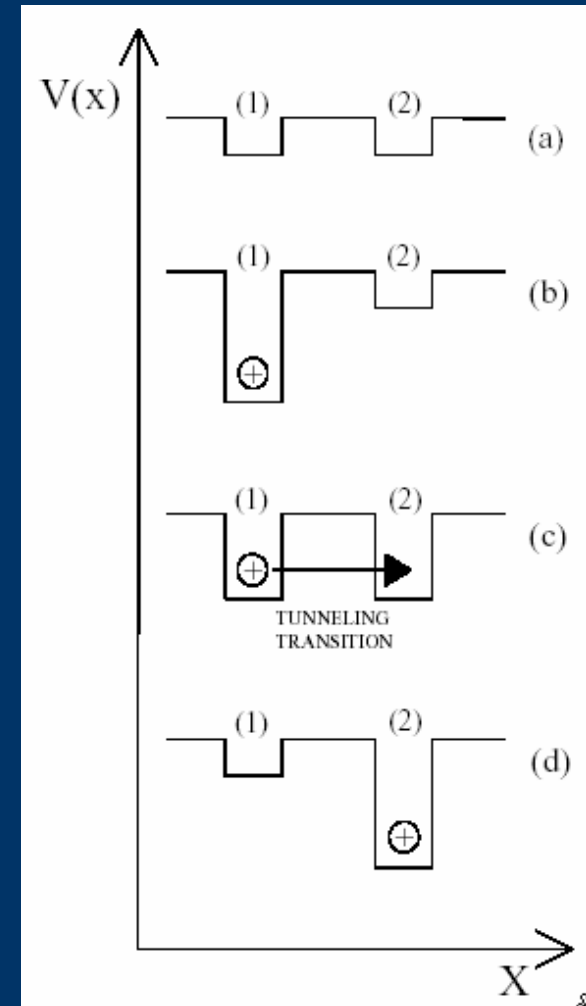
- mobilità elettroni in SiO_2 : $20 \text{ cm}^2/\text{Vs}$
- mobilità lacune in SiO_2 compresa tra 10^{-4} e $10^{-11} \text{ cm}^2/\text{Vs}$
- ⇒ gli elettroni che non si ricombinano con lacune escono da SiO_2 in tempi brevi
- ⇒ rapporto tra lacune ed elettroni intrappolati nell'ordine di $10^3 - 10^6$

Trasporto di lacune nell'ossido di gate

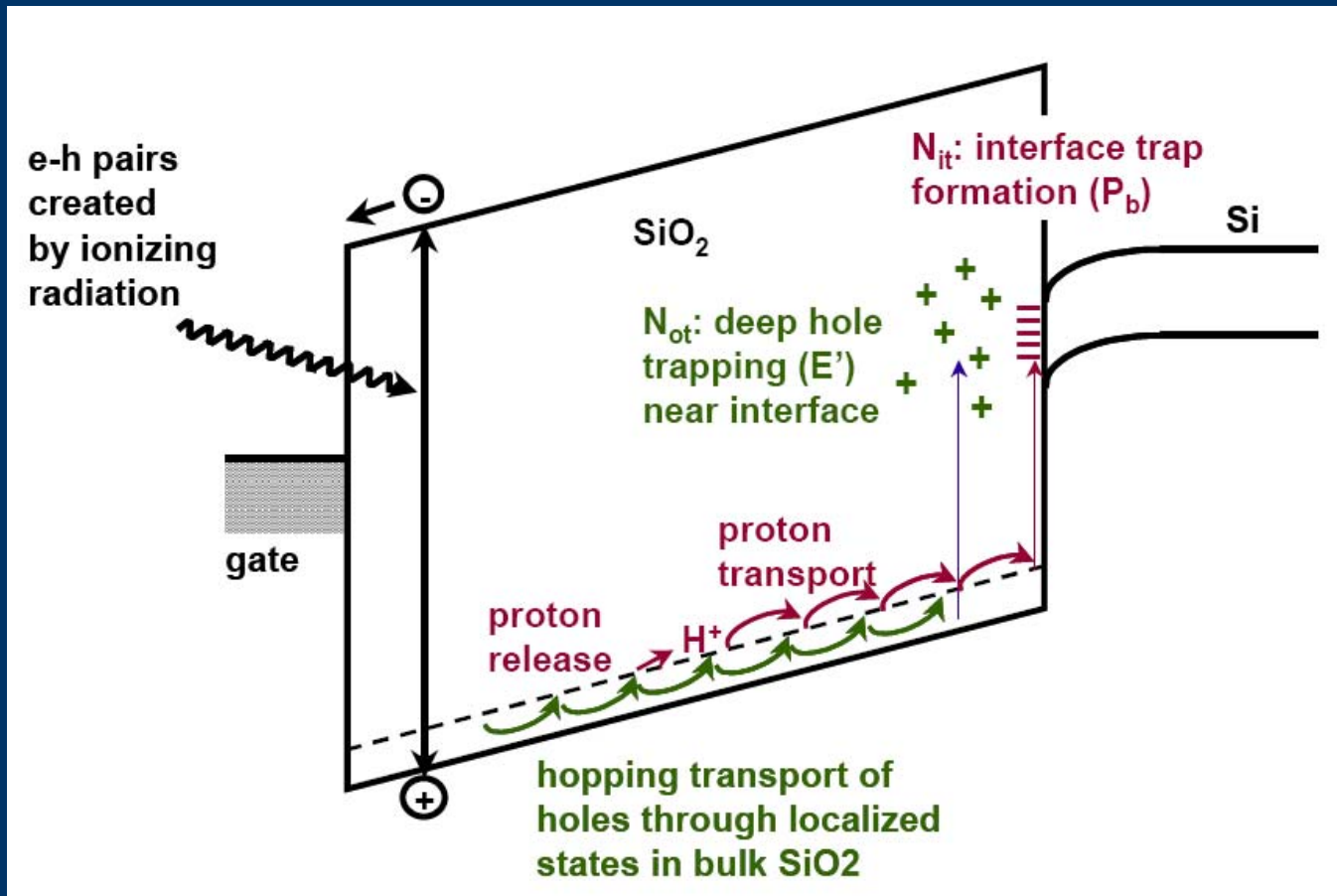
- dopo la generazione le lacune non ricombinate cominciano a muoversi per effetto del campo elettrico
- per $V_{GB} > 0$ le lacune tendono a spostarsi verso l'interfaccia SiO_2-Si
- meccanismo che spiega spostamento lacune in SiO_2 : *hopping transport*
- Ioni di idrogeno (protoni) vengono rilasciati durante il processo di migrazione e intrappolamento della lacune nell'ossido
- All'interfaccia SiO_2-Si gli ioni possono interagire formando trappole all'interfaccia.

Hole transport mechanism

- quando una trappola cattura una lacuna il potenziale totale del sistema cambia per effetto della distorsione del reticolo attorno alla trappola
- ⇒ la lacuna crea una buca di potenziale nella quale è auto intrappolata
- il passaggio tra due centri di cattura vicini tra loro avviene per effetto tunnel grazie alle fluttuazioni termiche del sistema che alterano il potenziale dei centri di cattura



Intrappolamento di lacune nell'ossido di gate e formazione di trappole all'interfaccia ossido-silicio



Alla soglia, le trappole all'interfaccia sono prevalentemente cariche positivamente nei PMOS, e cariche negativamente per gli NMOS.

Oxide trapped charge

Le lacune intrappolate nell'ossido danno origine a variazione negativa ΔV_{OT} della tensione di soglia

$$\Delta V_{OT} = -\frac{q}{C_{OX}} \Delta N_{ot} = -\frac{q}{\epsilon_{OX}} t_{OX} \Delta N_{ot}$$

- q = carica elettrone
- $C_{OX} = \epsilon_{OX}/t_{OX}$ = capacità dell'ossido per unità di area
- t_{OX} = spessore dell'ossido
- ϵ_{OX} = costante dielettrica dell'ossido
- ΔN_{ot} = densità di lacune intrappolate nell'ossido

Secondo un modello semplice, ΔV_{OT} è proporzionale a t_{OX}^2 , perché ΔN_{ot} è proporzionale a t_{OX}

Interface traps

L'occupazione delle trappole è determinata dal livello di Fermi e da' luogo a uno spostamento della tensione di soglia dipendente dalla polarizzazione del dispositivo.

$$\Delta V_{IT} = -\frac{\Delta Q_{IT}}{C_{OX}}$$

- ΔQ_{IT} = carica intrappolata all'interfaccia

Threshold shift

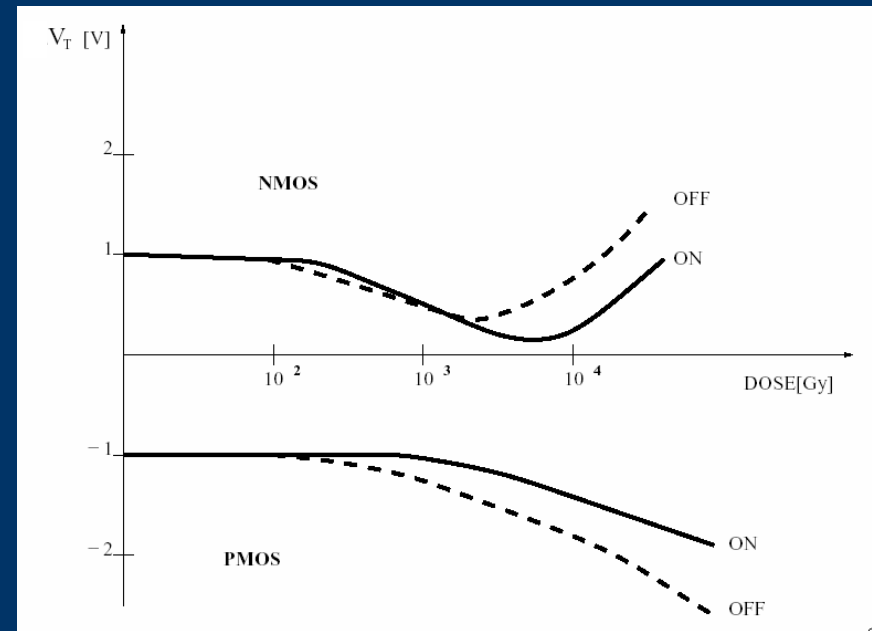
■ Carica intrappolata nell'ossido e aumento degli stati interfacciali

■ NMOS

- Bassa dose: diminuzione di V_T (domina il contributo della carica positiva intrappolata nell'ossido)
- Dose elevata: aumento di V_T (domina il contributo delle cariche negative intrappolate all'interfaccia)

■ PMOS

tendenza costante a una diminuzione di V_T

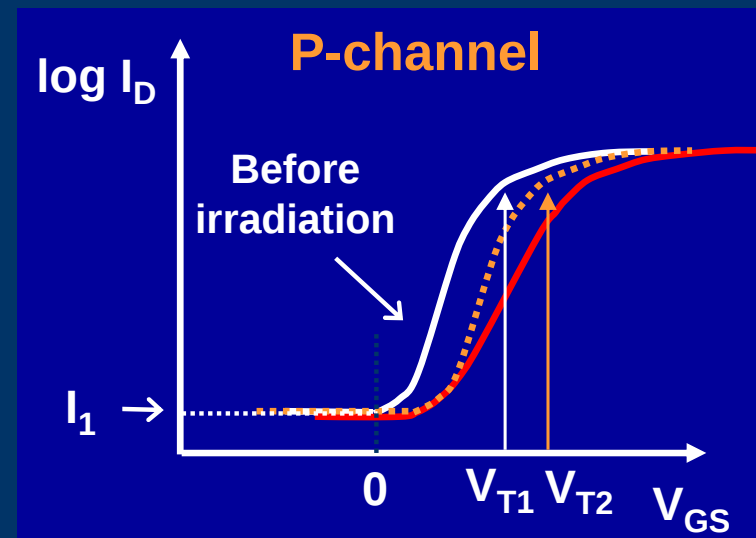
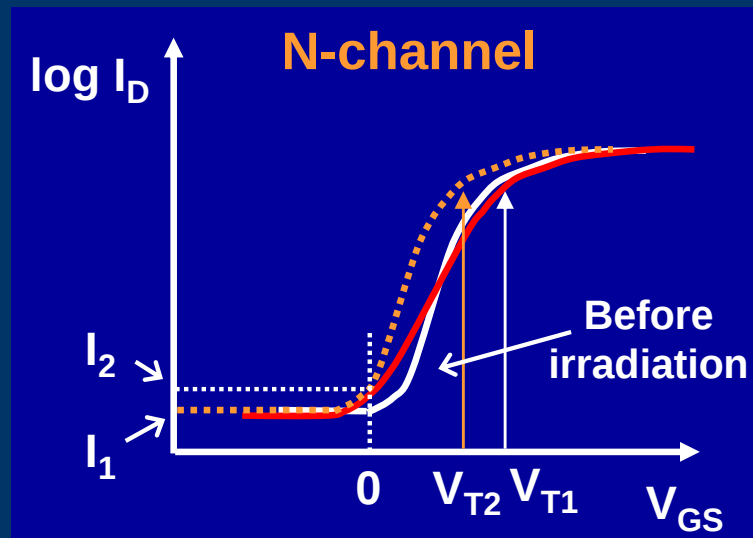


$$\Delta V_T = \Delta V_{OT} + \Delta V_{IT} = -\frac{\Delta Q_{IT}}{C_{OX}} - \frac{\Delta Q_{OT}}{C_{OX}}$$

- Q_{IT} carica all'interfaccia per unità di area
- Q_{OT} carica nell'ossido per unità di area

Corrente di sottosoglia

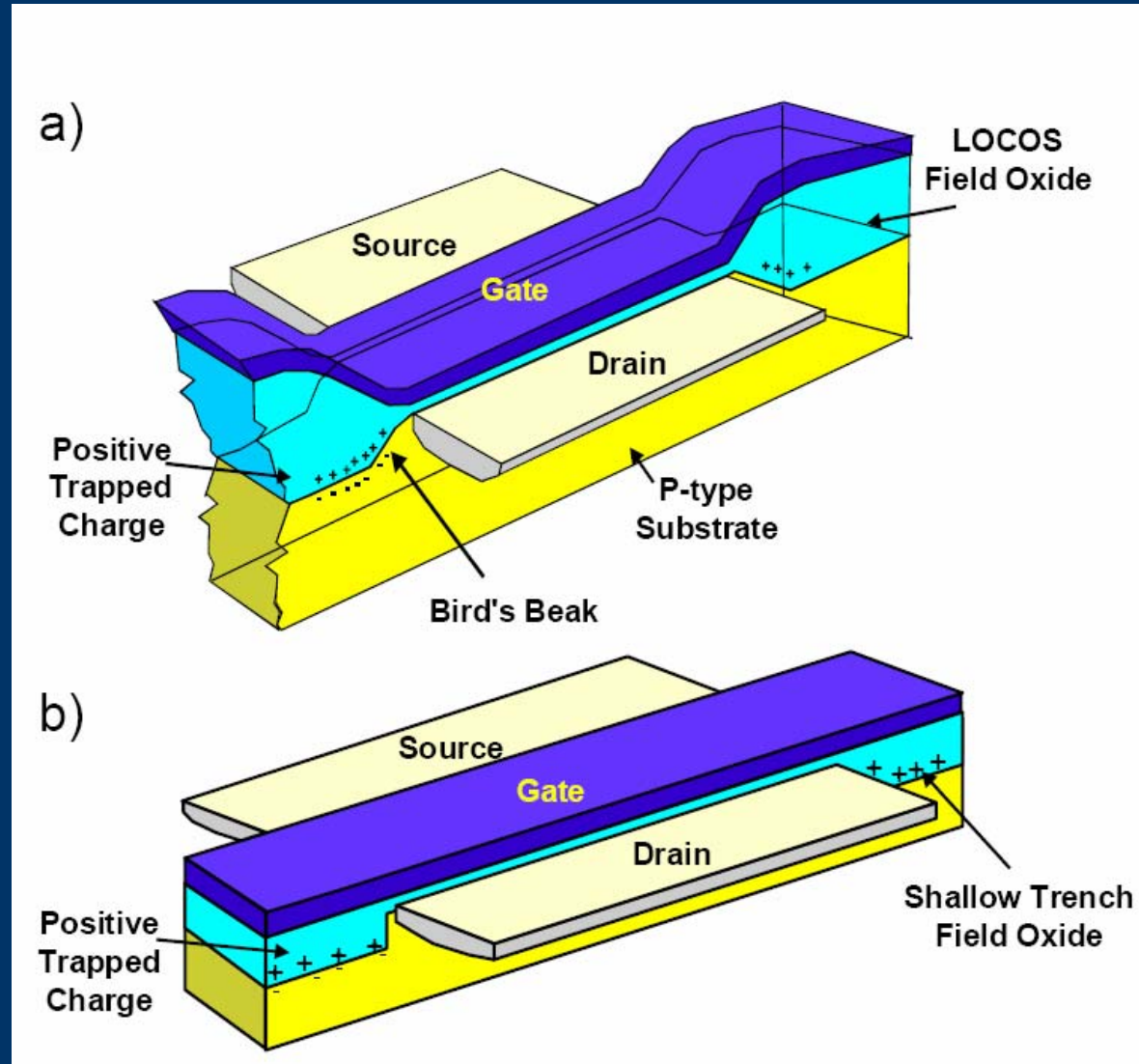
- Corrente che fluisce tra Drain e Source per $|V_{GS}| < |V_T|$
- Variazione legata a due fattori
 - La tensione di soglia varia
 - La pendenza caratteristica I_D - V_{GS} sottosoglia diminuisce



Correnti di perdita associate all'ossido di campo

- Mentre la tendenza dell'industria dei semiconduttori va verso ossidi di gate ultrasottili (2 nm in processo 0.13 μm), l'ossido (*field oxide*) nella regione che isola dispositivi adiacenti rimane relativamente spesso (100 - 1000 nm) e quindi *radiation soft*.
- Due tipi di isolamento con ossido di campo vengono utilizzati nelle tecnologie CMOS:
 - LOCOS (local oxidation of silicon)
 - STI (shallow trench isolation)
- A causa della carica positiva intrappolata nell'ossido di campo per effetto della radiazione, si può avere inversione di una regione superficiale drogata P, formando una regione N sotto l'ossido di campo. Questo può generare percorsi conduttivi che aumentano le correnti di perdita.

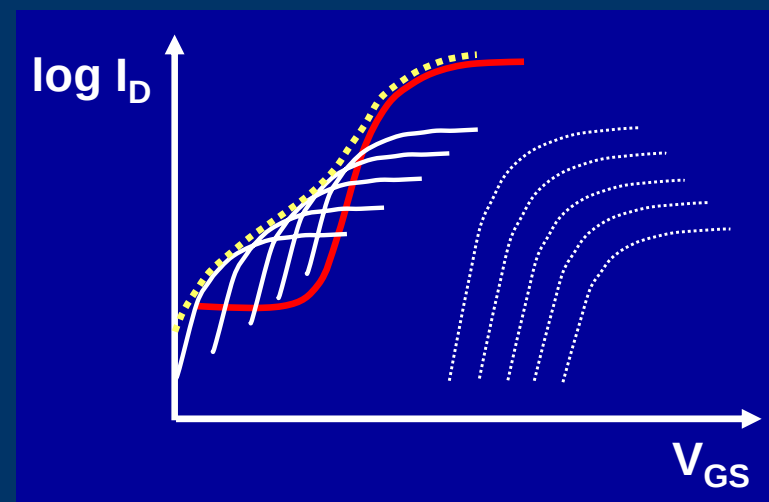
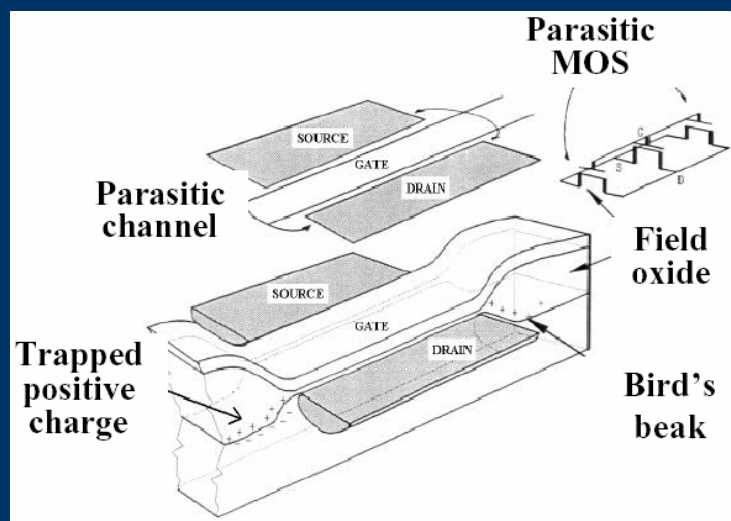
Isolamento con ossido di campo



Shaneyfelt et al,
“Challenges in
Hardening Technologies
using Shallow-Trench
Isolation”
IEEE TNS, Dec. 1998,

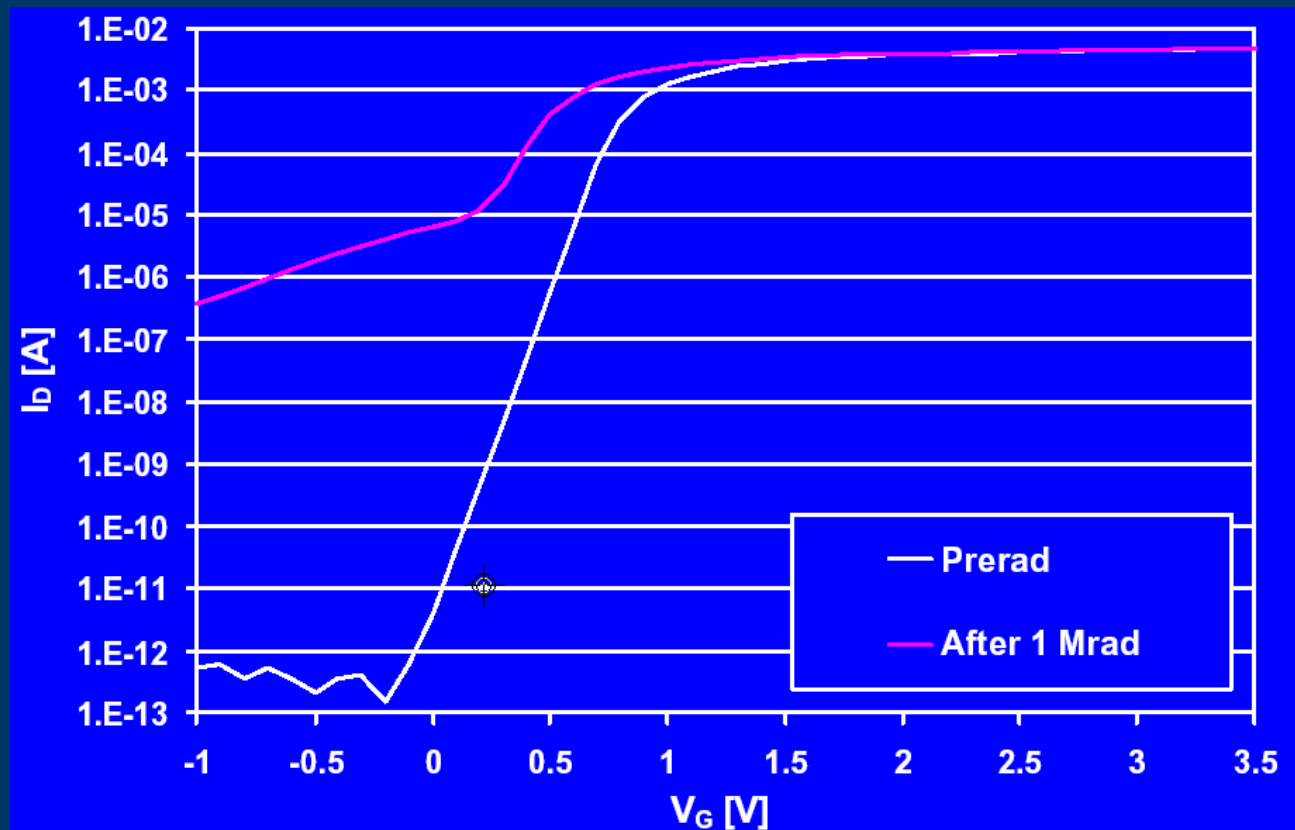
Correnti parassite

- percorsi conduttivi parassiti tra Source e Drain in regione di *bird's beak* e sotto ossido di campo
- In questa regione lo spessore dell'ossido (*field oxide*) è maggiore rispetto all'ossido di gate $\Rightarrow$ in un substrato P la carica intrappolata crea canale conduttivo parassita di tipo N
- Transistor parassita rappresentato da diversi transistor in parallelo con diversa larghezza di gate W e lunghezza L uguale a quella del dispositivo principale
- Effetto solo su NMOS, per PMOS la conduzione tra Drain e Source avviene per trasporto di lacune



Correnti parassite e di sottosoglia

NMOS – tecnologia $0.7\ \mu\text{m}$ - $t_{\text{OX}} = 17\ \text{nm}$

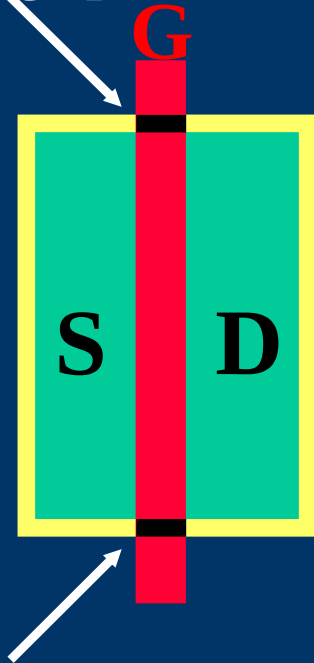


From F. Faccio (CERN)

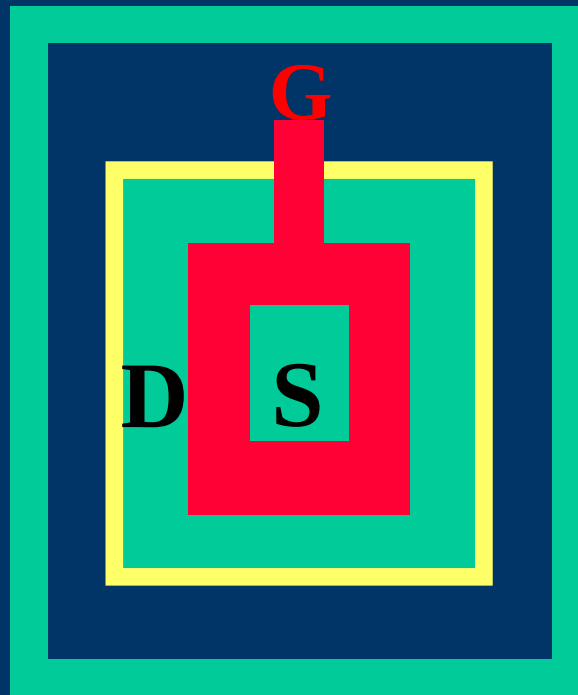
Enclosed NMOS

Il layout del gate elimina i cammini di perdita che danno luogo a correnti parassite in seguito all'assorbimento di radiazione (rad-hard ICs per rivelatori a LHC).

Leakage path



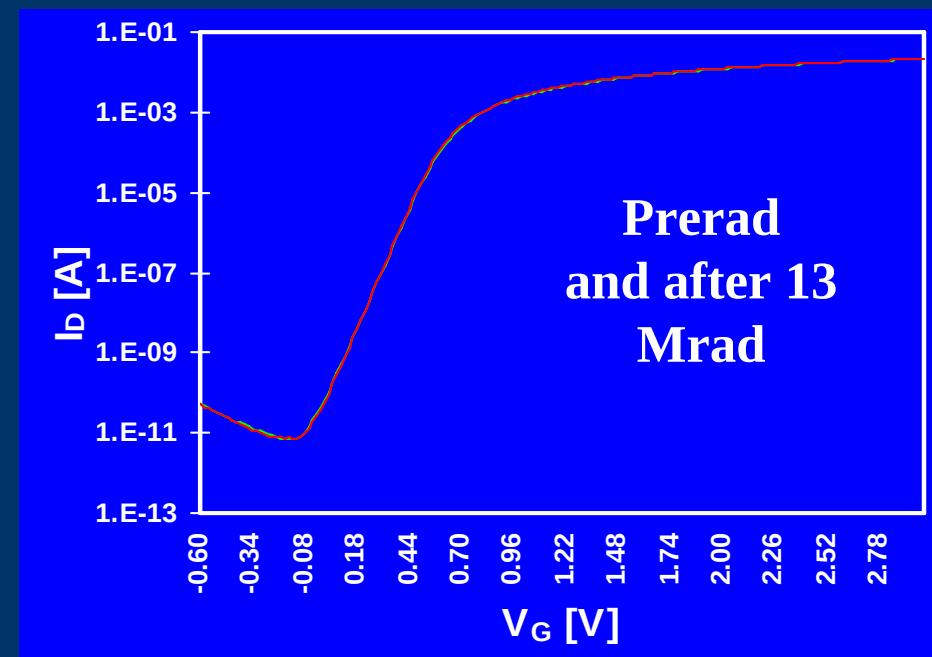
Standard



Enclosed

0.25 μm technology - $W/L = 30/0.4$

Enclosed NMOS



From F. Faccio (CERN)

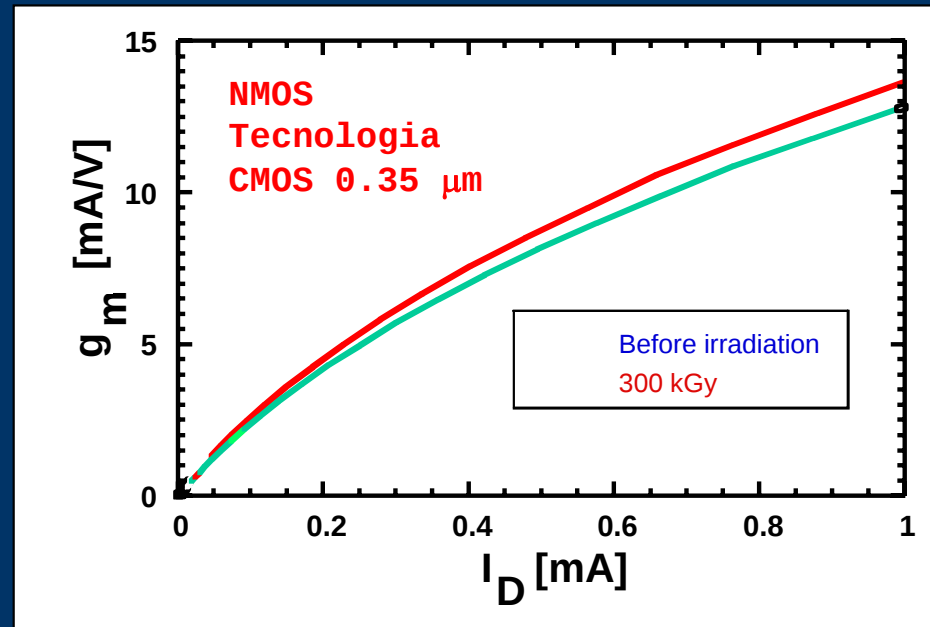
Degradazione della mobilità

- formazione di trappole all'interfaccia

$$\mu = \frac{\mu_0}{1 + \alpha \cdot (\Delta N_{it})}$$

μ_0 mobilità pre-irraggiamento
 ΔN_{it} aumento trappole interfaccia
 α Parametro della tecnologia
(10^{-14} cm^2)

- Degradazione mobilità
 $\Rightarrow$ diminuzione della
transconduttanza g_m



Annealing

- Dopo irraggiamento le lacune non sono intrappolate in SiO_2 in modo permanente
- La carica può neutralizzarsi in un tempo che va dai msec agli anni
- L'effetto di neutralizzazione della carica intrappolata avviene anche a temperatura ambiente e prende il nome di *annealing*
- *annealing* di lacune intrappolate si manifesta essenzialmente in due modi:
 - *annealing* per effetto tunnel
 - *annealing* termico

Annealing per effetto tunnel

- iniezione di elettroni dal Si del substrato verso SiO_2 che porta ad una parziale ricombinazione delle lacune intrappolate e ad una riduzione della carica positiva in SiO_2
- probabilità del verificarsi dell'effetto tunnel diminuisce in modo esponenziale all'aumentare della distanza dall'interfaccia
- *annealing* per effetto *tunnel* più efficiente all'aumentare del campo elettrico applicato perché si verifica un abbassamento della barriera di potenziale che deve essere scavalcata dagli elettroni

Annealing termico

- gli elettroni presenti nella banda di valenza di SiO_2 acquistano energia sufficiente per attraversare il *gap* e ricombinarsi con le lacune intrappolate
- probabilità di emissione di un elettrone da banda di valenza di SiO_2 verso le trappole in cui sono localizzate le lacune

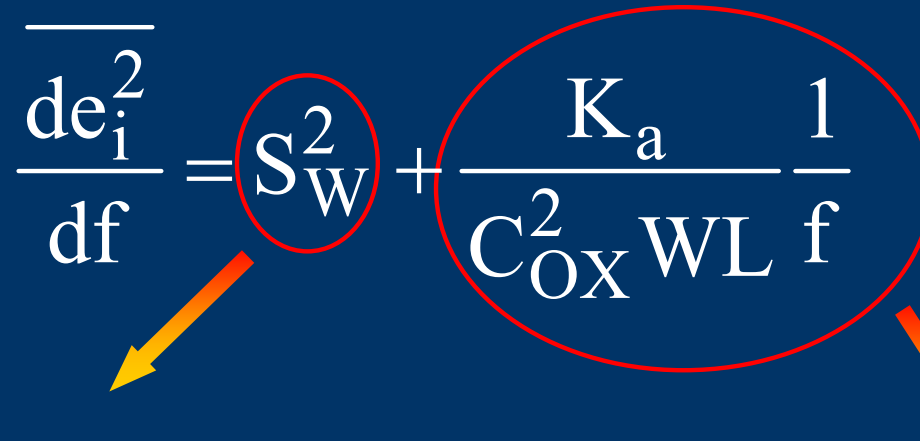
$$p_{em} = AT^2 \cdot \exp\left(-\frac{q\phi}{kT}\right)$$

ϕ = differenza in energia fra la trappola e la banda di valenza nell'ossido

$\Rightarrow p_{em}$ fortemente dipendente da temperatura

Noise in FETs

Gate-referred noise voltage spectrum

$$\overline{\frac{de_i^2}{df}} = S_W^2 + \frac{K_a}{C_{OX}^2 WL} \frac{1}{f}$$


White noise:

- Channel thermal noise (dominant at low current density)

$$S_W^2 = 4kT \frac{\Gamma}{g_m}$$

- Noise in parasitic resistors

1/f noise:

- K_a = intrinsic process parameter
- $C_{OX} = \epsilon_{OX}/t_{OX}$
(t_{OX} = oxide thickness)

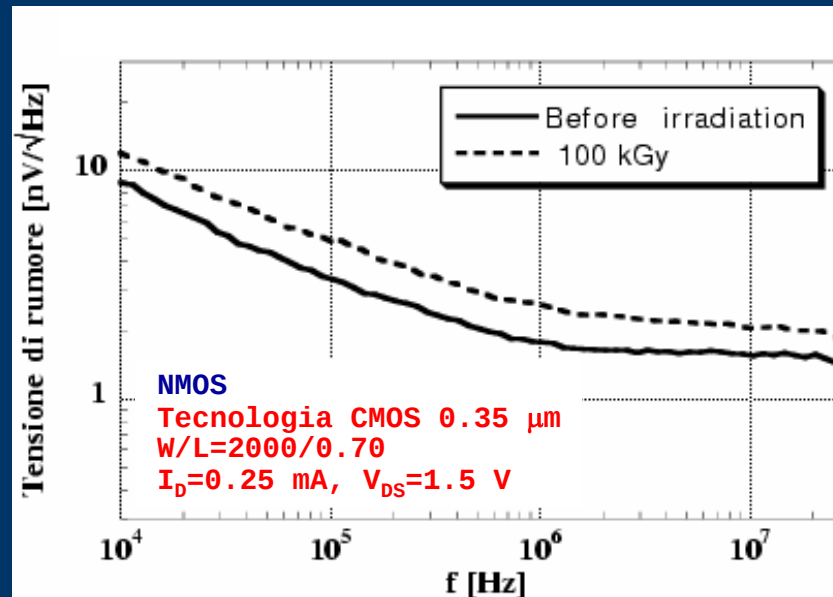
Aumento rumore elettronico

■ Rumore bianco

- Rumore termico di canale riferito al gate: aumenta a causa della diminuzione di g_m

■ Rumore $1/f$

- aumenta in relazione con carica positiva intrappolata nell'ossido in prossimità dell'interfaccia e con le trappole di bordo



Rumore 1/f nella corrente di drain

Il rumore 1/f nel MOS viene generato per l'interazione fra portatori di carica nel canale e trappole nell'ossido di gate. Cattura ed emissione di portatori portano a fluttuazioni nel numero dei portatori e nella mobilità, e quindi a fluttuazioni nella corrente di drain, che possono modellizzate tramite un generatore di tensione di rumore in serie al gate, con densità spettrale di potenza:

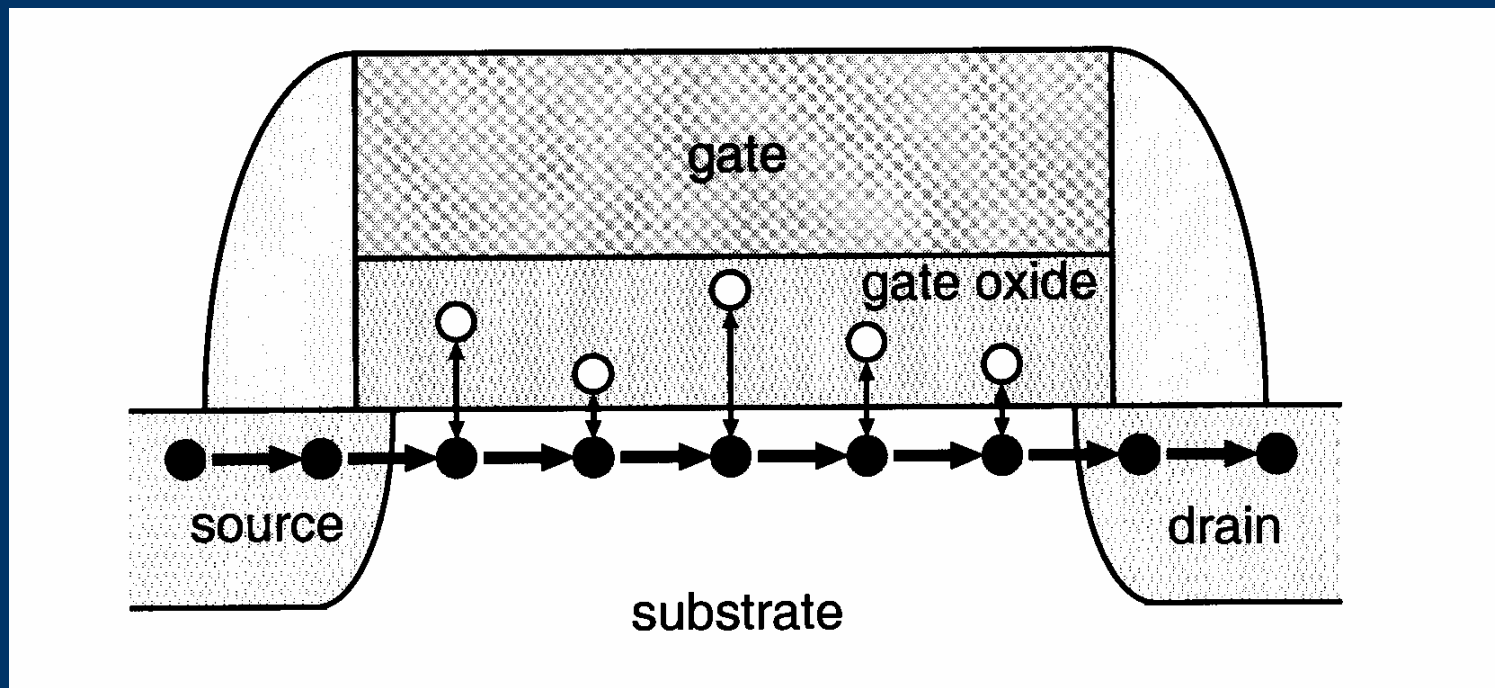
$$\frac{\overline{de_{1/f}^2}}{df} = \frac{K_a}{WLC_{OX}^2} \cdot \frac{1}{f}$$

W = larghezza di gate, L = lunghezza di gate

C_{OX} = capacità dell'ossido per unità di area

K_a = parametro caratteristico del rumore 1/f (non dipende da W)

Rumore 1/f nella corrente di drain

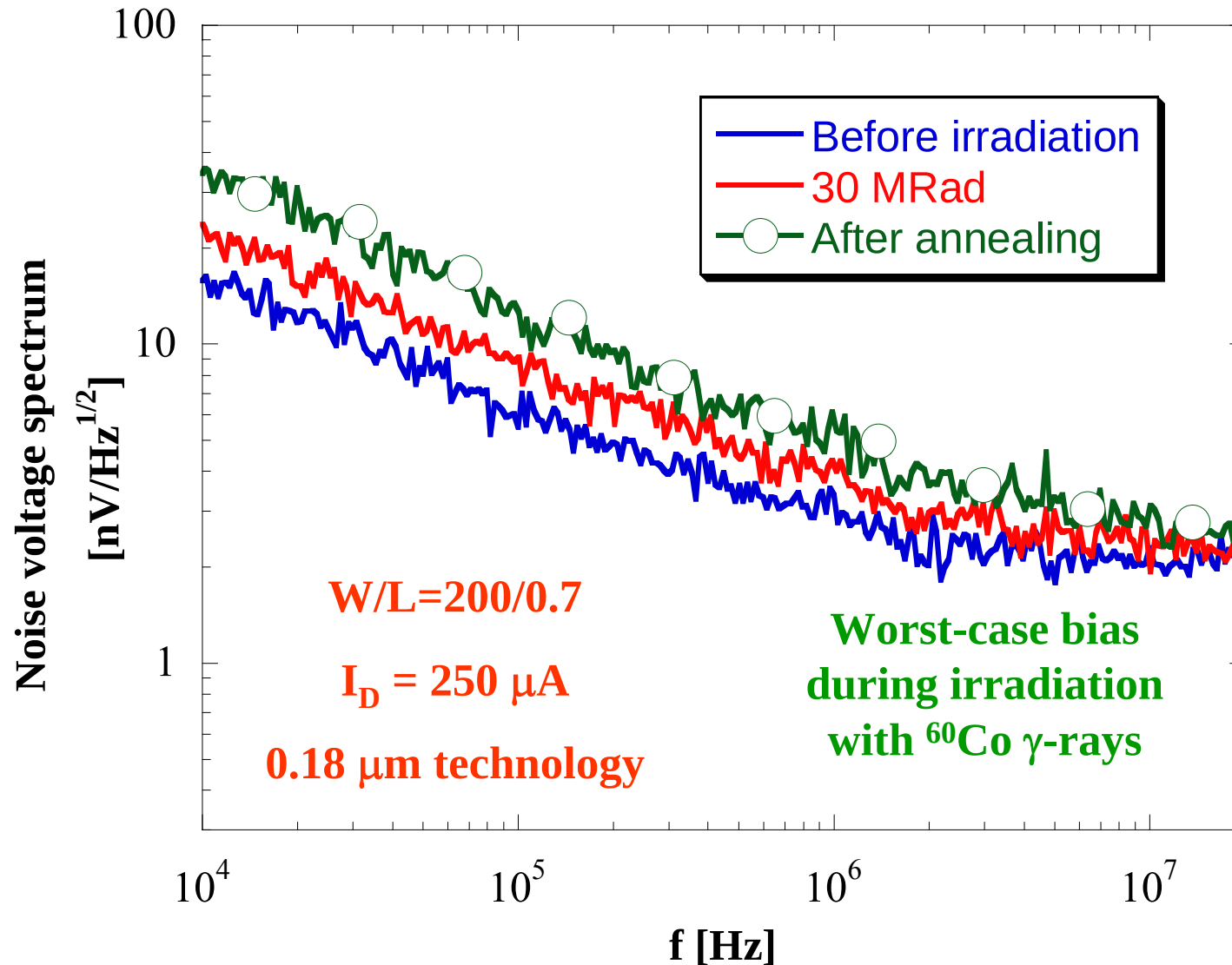


Rumore 1/f: Border traps

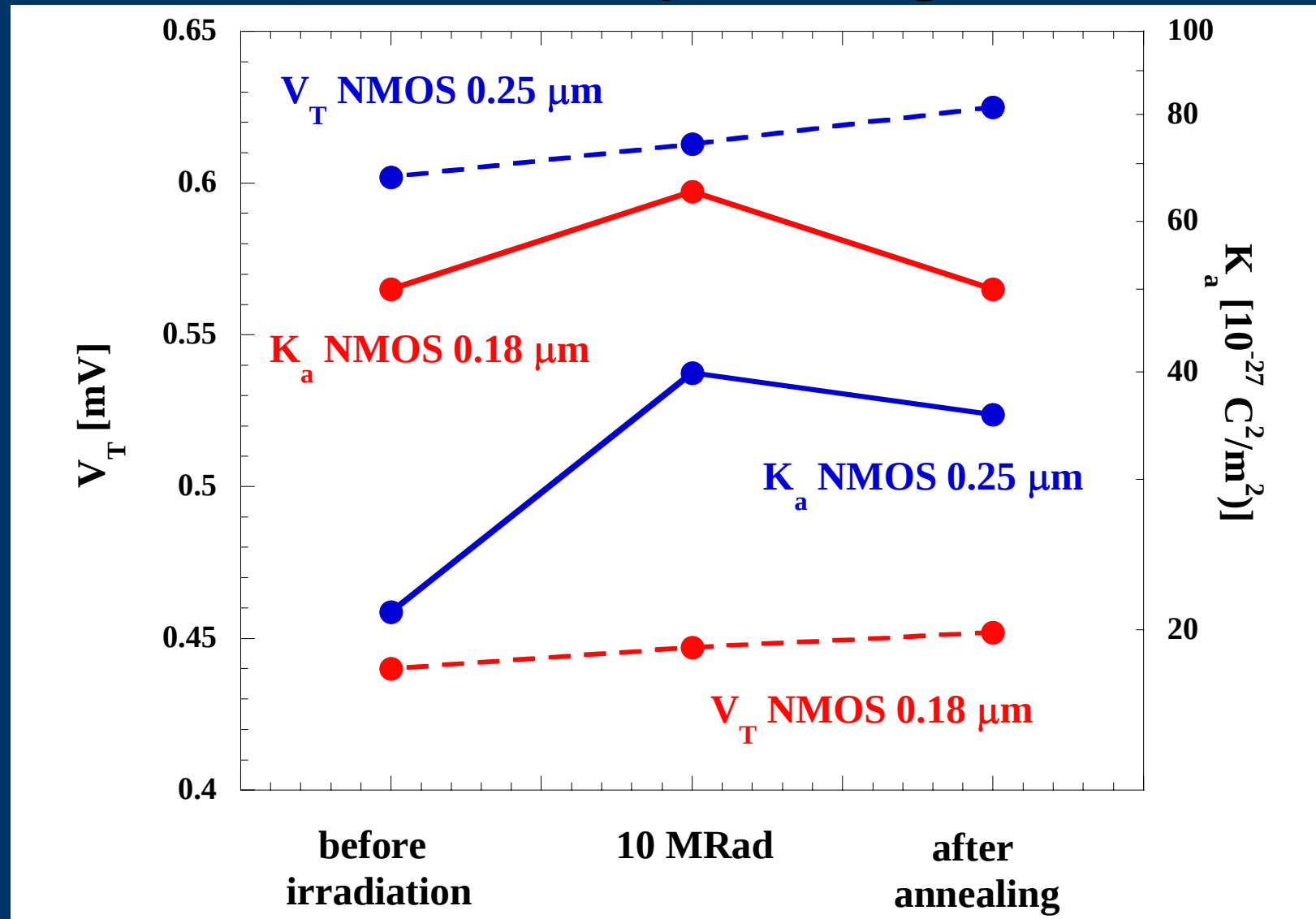
- Sono trappole nell'ossido che possono scambiare carica con il silicio nella scala temporale di una misura elettrica
- Lo scambio di carica avviene per tunneling con una probabilità che decresce esponenzialmente con l'aumento della distanza dall'interfaccia
- Una “border trap” si trova molto vicino (entro 3 nm) dall'interfaccia Si/SiO_2
- La classificazione di una trappola come “border trap” dipende dalle condizioni di misura (V_{GS})
- Le recenti indagini sperimentali indicano che il rumore 1/f è quasi interamente dovuto alle “border traps”

Noise voltage spectrum: NMOS

Annealing with all terminals grounded



Change in 1/f noise intrinsic coefficient and threshold voltage shift: NMOS (10-keV X-rays, analog bias)



1/f noise in irradiated devices: effects of bias during annealing

- 1/f noise increases with increasing oxide-trap charge during irradiation
- Behavior of the 1/f noise term after annealing depends on the device polarity (NMOS, PMOS) and on the bias conditions during annealing (positive or negative electric field in the gate oxide)

T. L. Meisenheimer, D. M. Fleetwood, M. R. Shaneyfelt, and L. C. Riewe, "1/f noise in n- and p-channel MOS devices through irradiation and annealing", *IEEE Trans. Nucl. Sci.*, vol. 38, no. 6, pp. 1297-1303, Dec. 1991.

D.M. Fleetwood, T. L. Meisenheimer, and J. H. Scofield, "1/f noise and radiation effects in MOS devices", *IEEE Trans. Electron Devices*, vol. 41, no. 11, pp. 1953-1964, Nov. 1994.

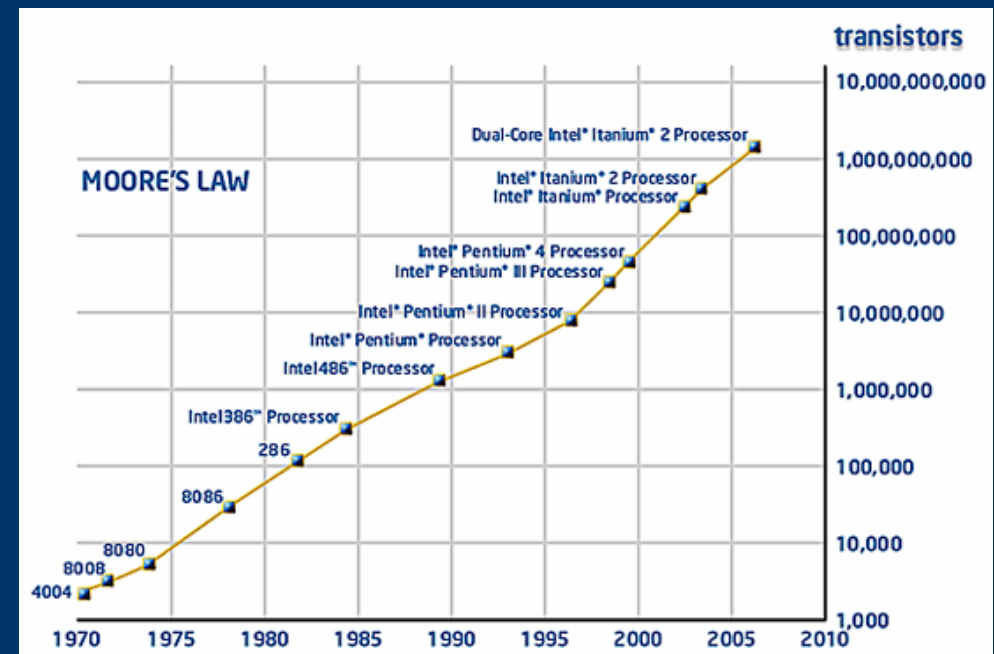
D. M. Fleetwood, H D. Xiong, Z.-Y. Lu, C J. Nicklaw, J. A. Felix, R. D. Schrimpf, and S. T. Pantelides, "Unified model of hole trapping, 1/f noise, and thermally stimulated current in MOS devices", *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 2674-2683, Dec. 2002.

CMOS Roadmap

Le tecnologie CMOS continueranno a dominare l'industria dei semiconduttori nella prossima decade.

I processi di fabbricazione devono evolvere perchè sia possibile rispettare la legge di Moore.

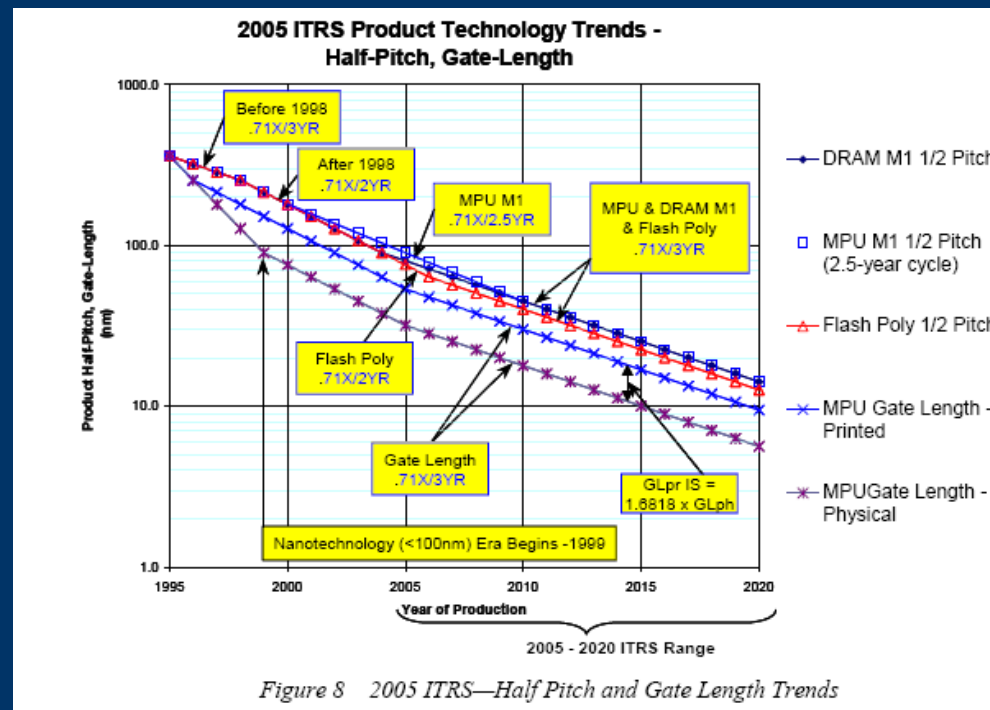
I processi fisici fondamentali di radiation damage rimangono immutati, ma cambia il loro impatto sulle prestazioni dei dispositivi fabbricati nelle nuove tecnologie.



Nanoscale CMOS

L'ottimizzazione delle prestazioni (velocità, potenza) viene ottenuta riducendo la tensione di alimentazione VDD e le dimensioni orizzontali dei MOSFET (lunghezza di gate).

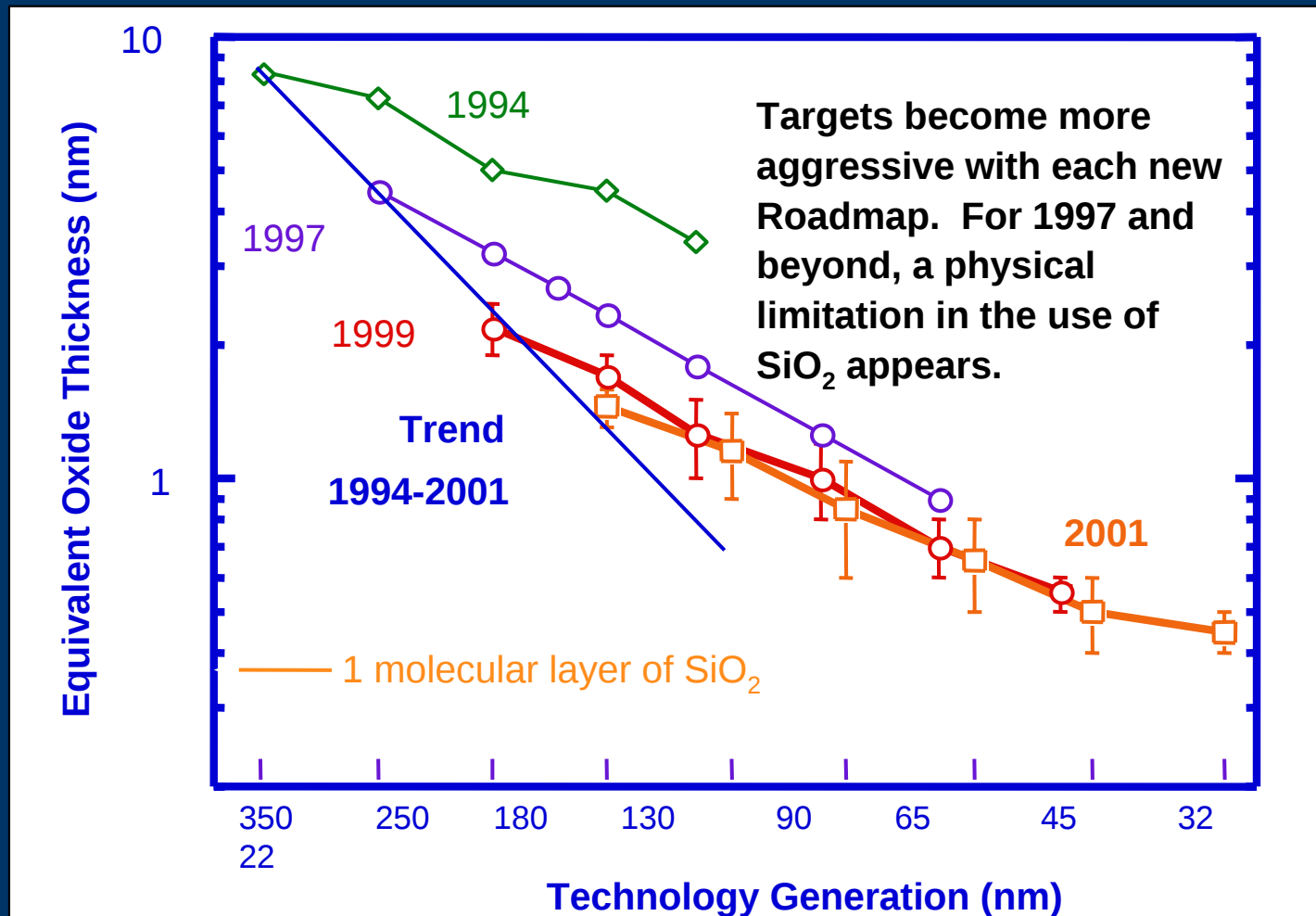
Per ridurre gli effetti di canale corto, vengono scalate anche le dimensioni verticali (spessore dell'ossido di gate, profondità delle giunzioni di source e drain).



Oxide thickness scaling and ionizing radiation effects

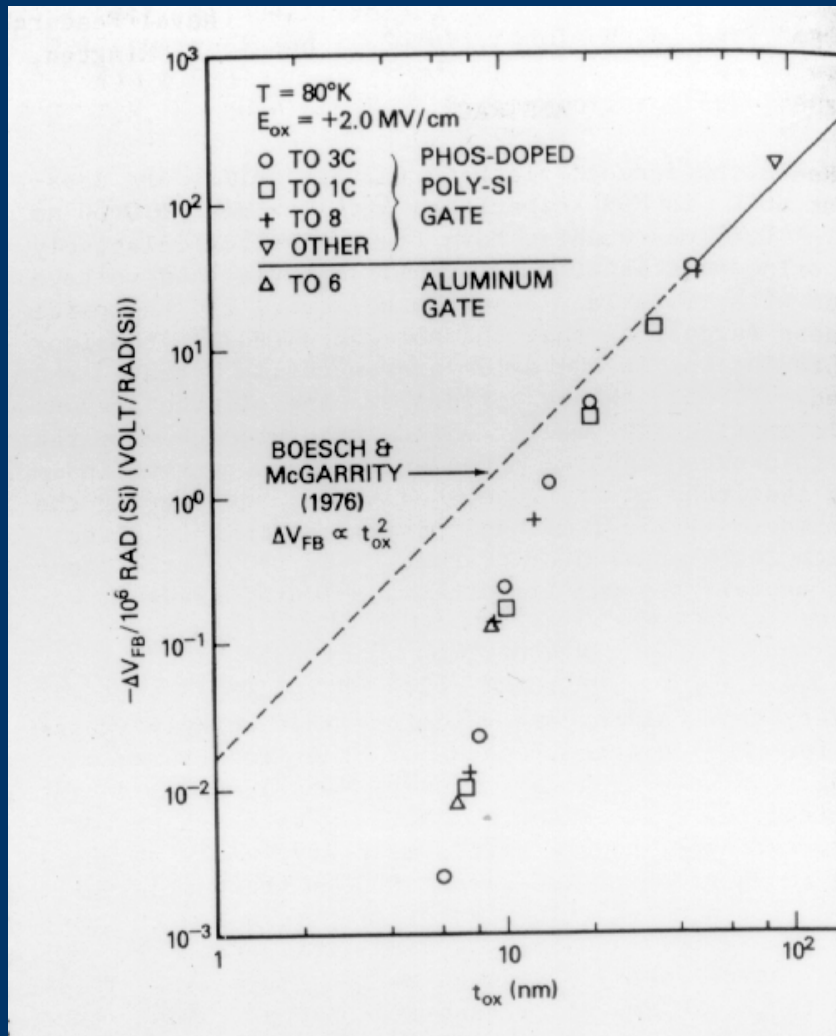
Device scaling (increase speed and circuit complexity per unit of chip area) requires decreasing the oxide thickness.

ITRS Roadmap EOT Projections



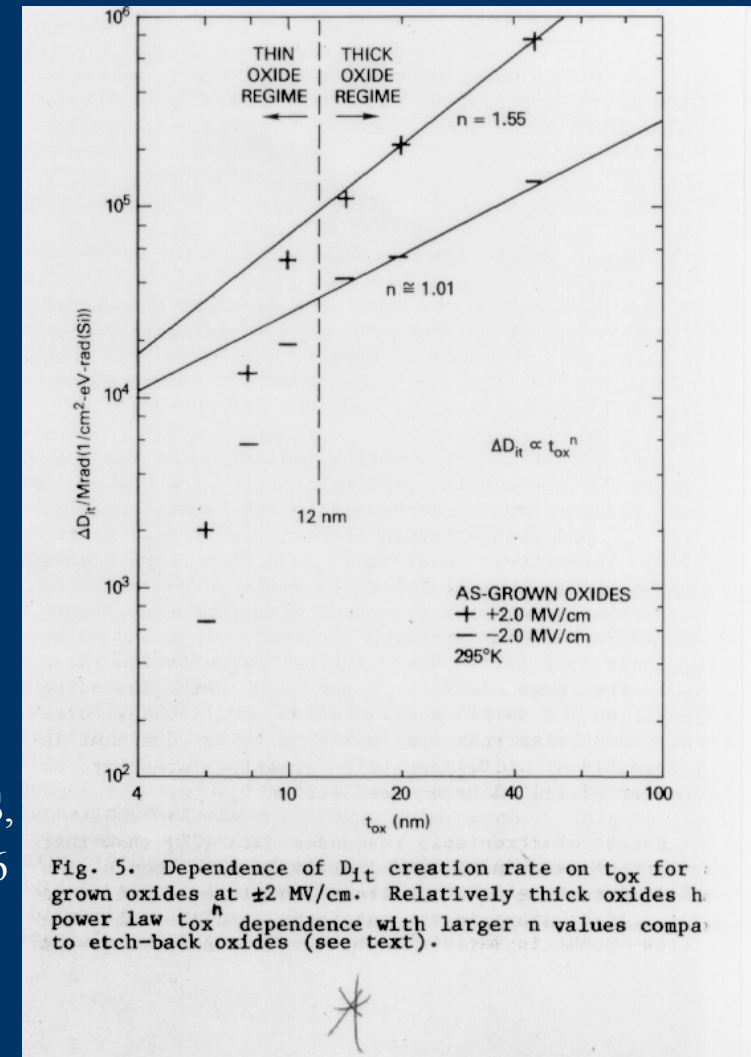
Effetti delle radiazioni e scaling dello spessore di ossido di gate

Rimozione delle lacune dall'ossido tramite tunneling di elettroni



Saks et al, IEEE TNS,
Dec. 1984, Dec. 1986

Riduzione delle trappole all'interfaccia



Deep submicron CMOS

Rimozione delle lacune dall'ossido tramite tunneling

In un ossido di 5 nm (CMOS 0.25 μm)
poche ore sono sufficienti per rimuovere le lacune

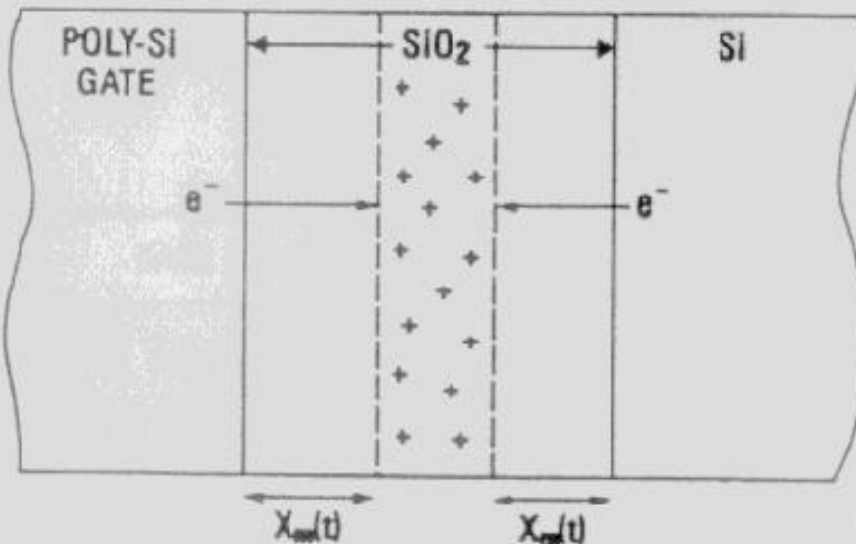


Figure 33. Model schematic of trapped hole removal in thin gate-oxide MOS structures by electron tunneling from both Si substrate and polysilicon gate [79].

Dawes et al, Hardening Semiconductor Components Against Radiation and Temperature, NDC, 1989

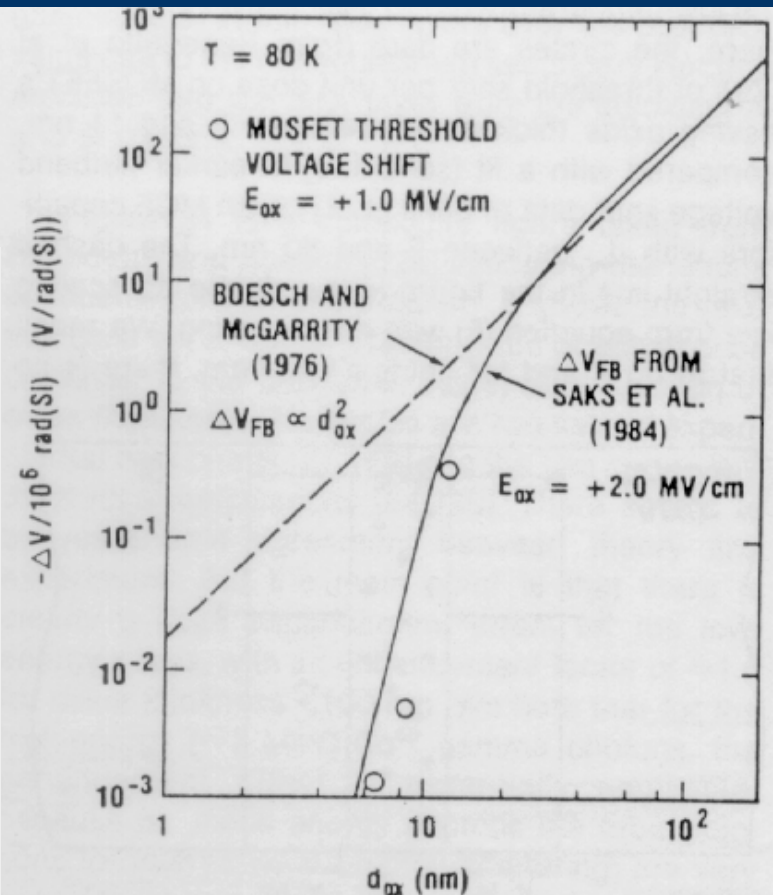


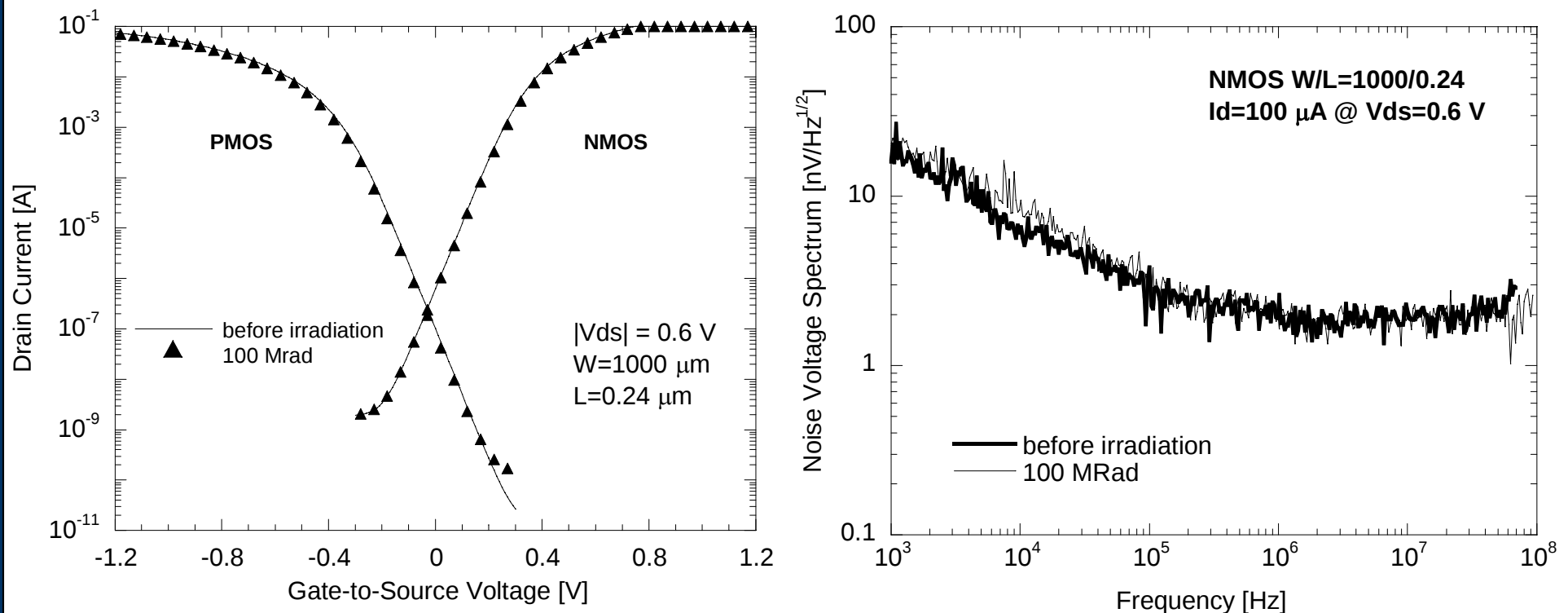
Figure 34. Threshold and flatband voltage shifts per Mrad(SiO₂) at 80 K. Dashed line is simple oxide thickness squared scaling; solid line is ΔV_{FB} data on capacitors [78]; and circles are ΔV_T data on MOSFET's [79].

CMOS 130 nm e 90 nm

Le tecnologie CMOS 130 nm (e, in prospettiva, 90 nm) vengono attualmente valutate per la realizzazione dell'elettronica di readout dei rivelatori in SLHC (ATLAS, CMS).

A causa del ridotto spessore dell'ossido di gate (circa 2 nm), i dispositivi realizzati in questi processi risultano estremamente resistenti alle radiazioni ionizzanti.

Enclosed NMOSFET, 130 nm process (CERN)

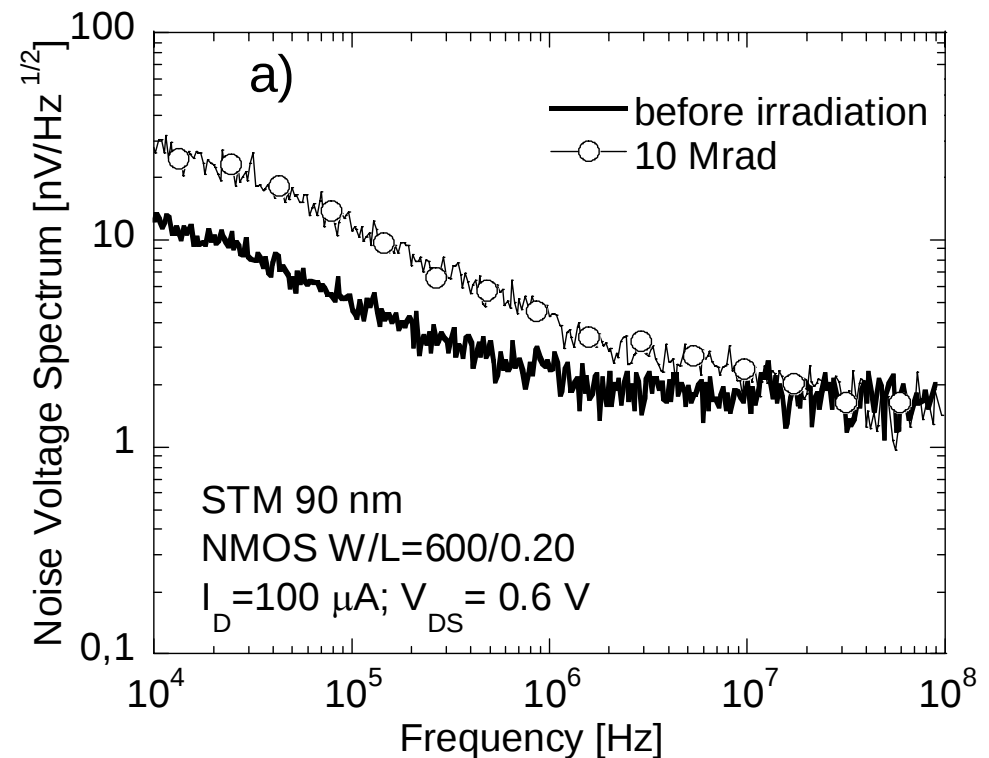
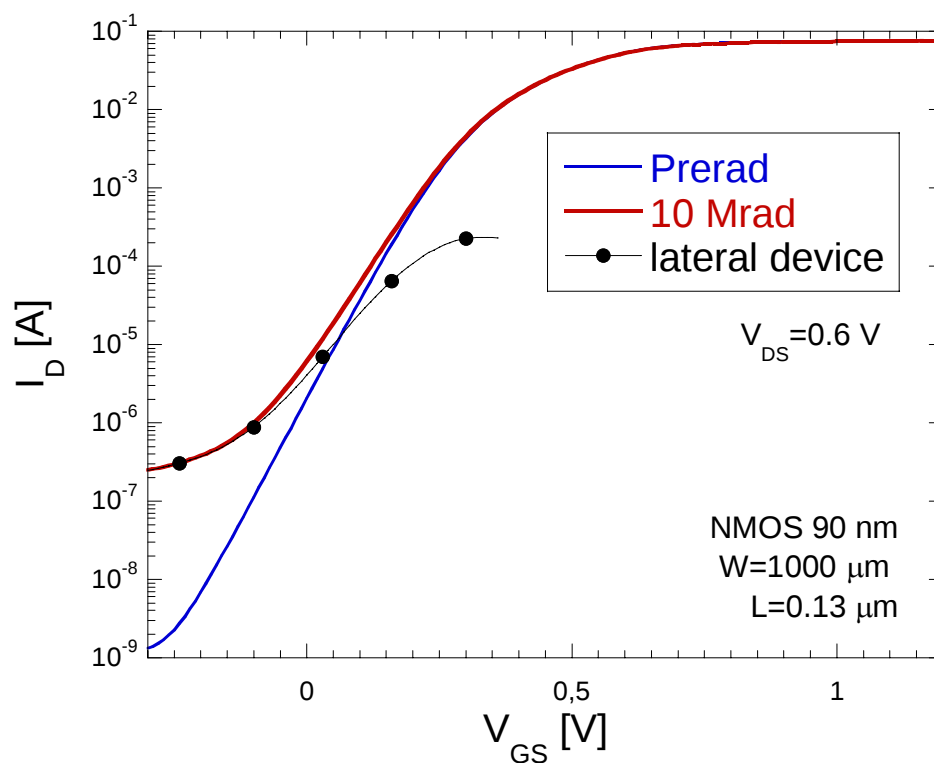


CMOS 130 nm e 90 nm

A bassa densità di corrente, gli effetti dovuti ai dispositivi parassiti associati agli ossidi di isolamento laterale influenzano le caratteristiche statiche e il rumore.

Questi fenomeni si verificano negli NMOS a layout standard interdigitato, mentre non sono presenti nei dispositivi “enclosed”.

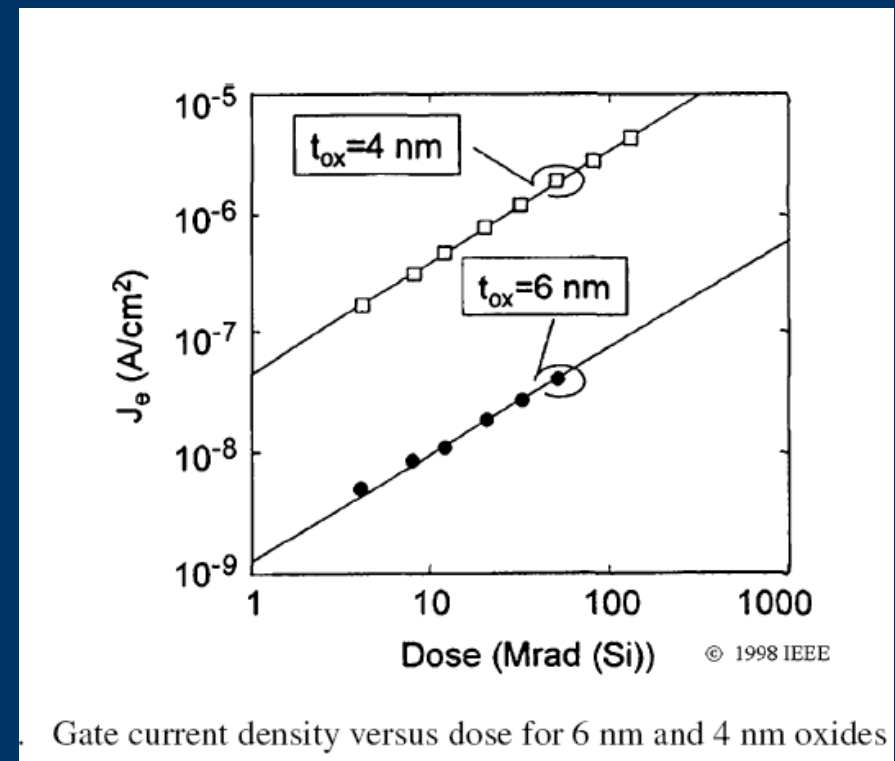
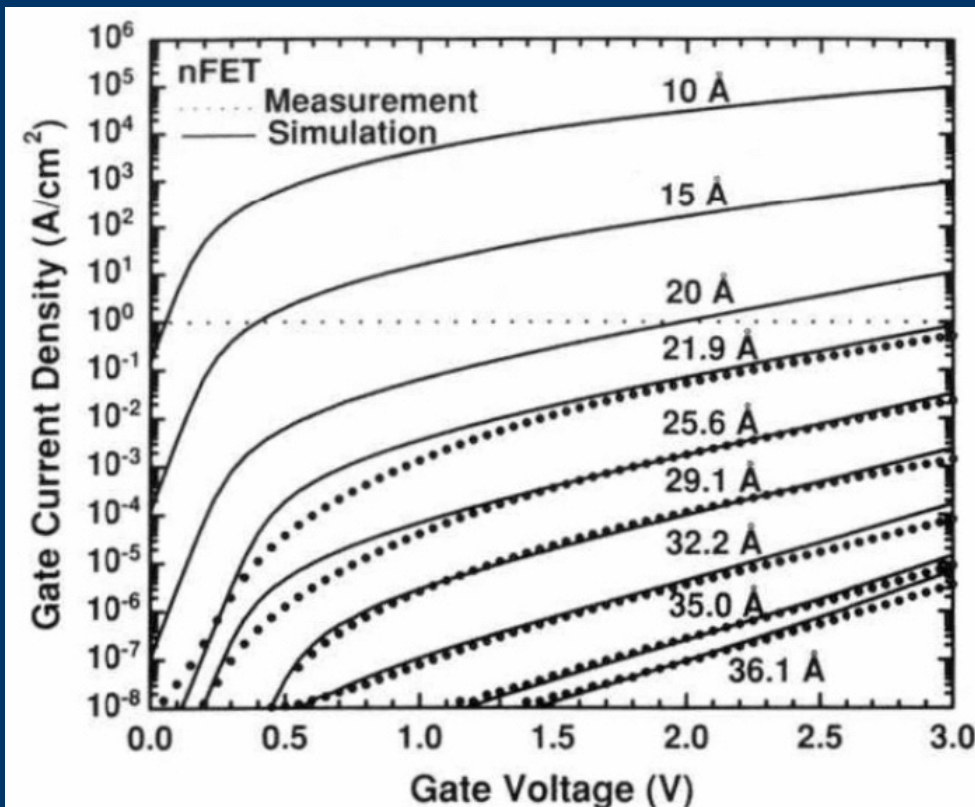
Interdigitated NMOSFET, 90 nm process (STM)



CMOS 130 nm e 90 nm

La riduzione dello spessore dell'ossido di gate associata allo scaling provoca un aumento della **corrente di gate** dovuta a effetti di tunneling. Questo risulta in un incremento della dissipazione di potenza statica dei circuiti digitali.

Gli effetti delle radiazioni sulla corrente di gate dei MOSFET nanoscale sono uno dei temi di ricerca attualmente più interessanti.



Ceschia et al, “Radiation induced leakage current and stress induced leakage current in ultra thin gate oxides”, IEEE TNS vol. 46, p. 2375, 1998.

Effetti delle radiazioni ionizzanti e scaling dello spessore di ossido di gate

Il problema degli spostamenti di soglia indotti dalla radiazione viene gradualmente eliminato dallo sviluppo naturale di tecnologie microelettroniche più avanzate con ossidi più sottili.

A questo punto, i problemi principali nei dispositivi elettronici sono associati alle strutture di isolamento (correnti di perdita indotte dalla radiazione, accumulo di carica nell’ossido di campo con inversione di regioni p) e gli eventi singoli (SEE: SEL, SEU, ...).

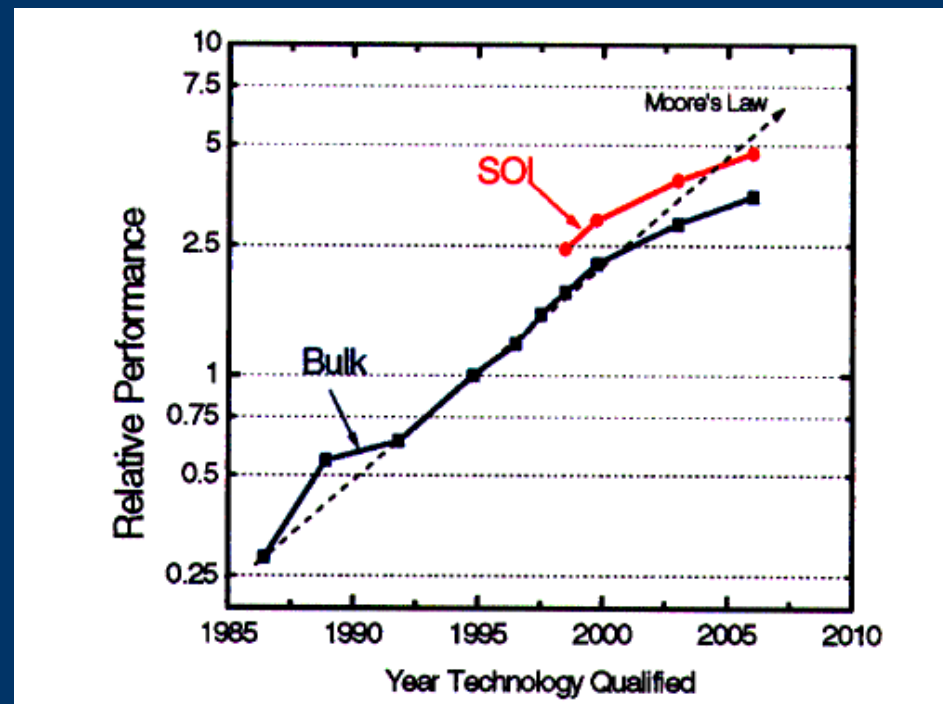
(Talk di A. Paccagnella)

Ossidi di gate con costante dielettrica maggiore di SiO_2 (High k) sono di grande interesse, per ridurre la corrente di leakage di gate e alleviare problemi di affidabilità. Consentono spessori più elevati dell’ossido di gate, con possibile peggioramento degli effetti di dose totale.

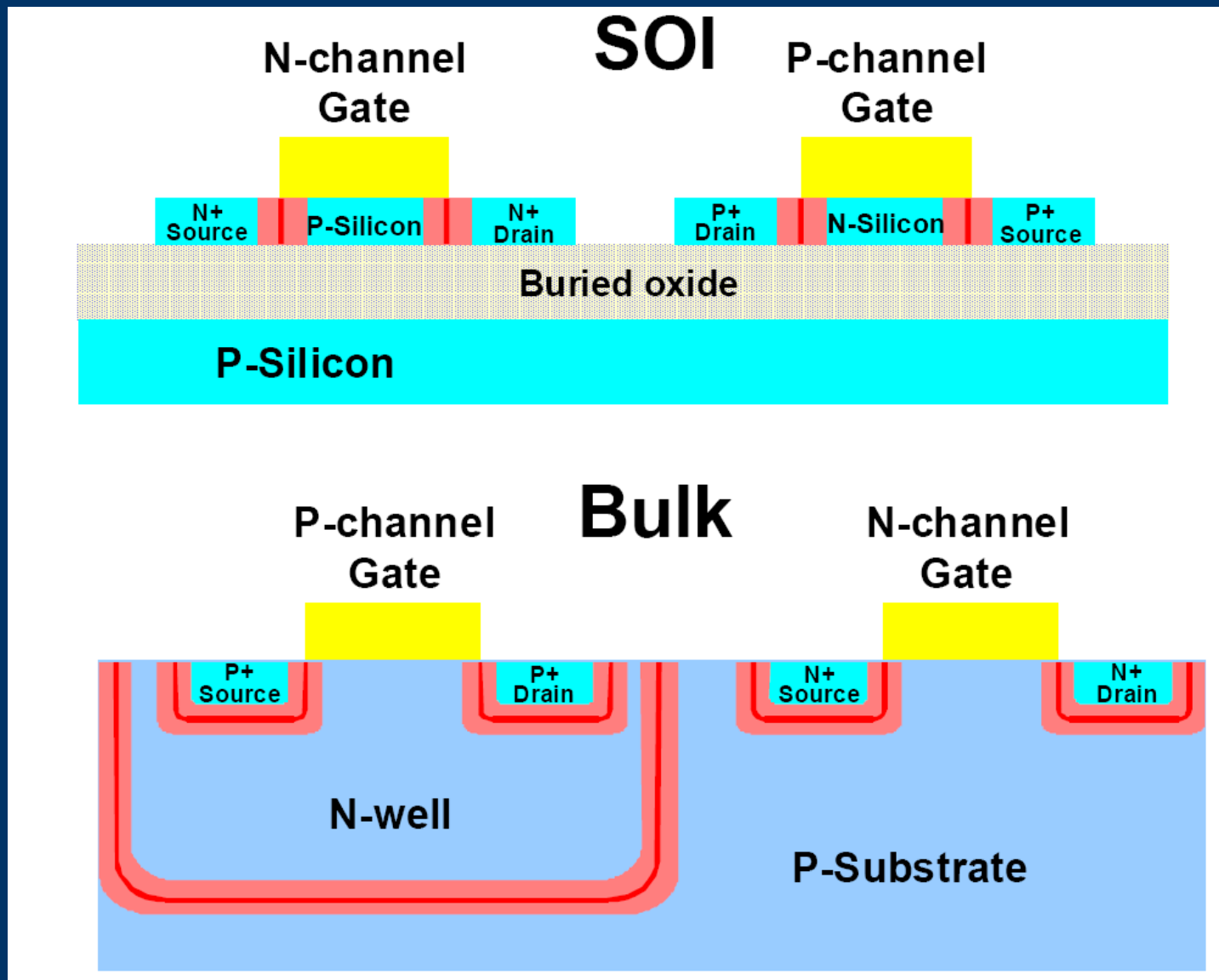
Fully Depleted SOI MOSFET

Le prestazioni delle tecnologie bulk CMOS sono limitate dalle capacità parassite delle giunzioni di source e drain (e da altri fenomeni).

Nelle tecnologie Fully Depleted Silicon-on Insulator (FD-SOI), le regioni di source e drain si estendono fino all'ossido sepolto, riducendo le capacità parassite.



FD – SOI vs bulk CMOS

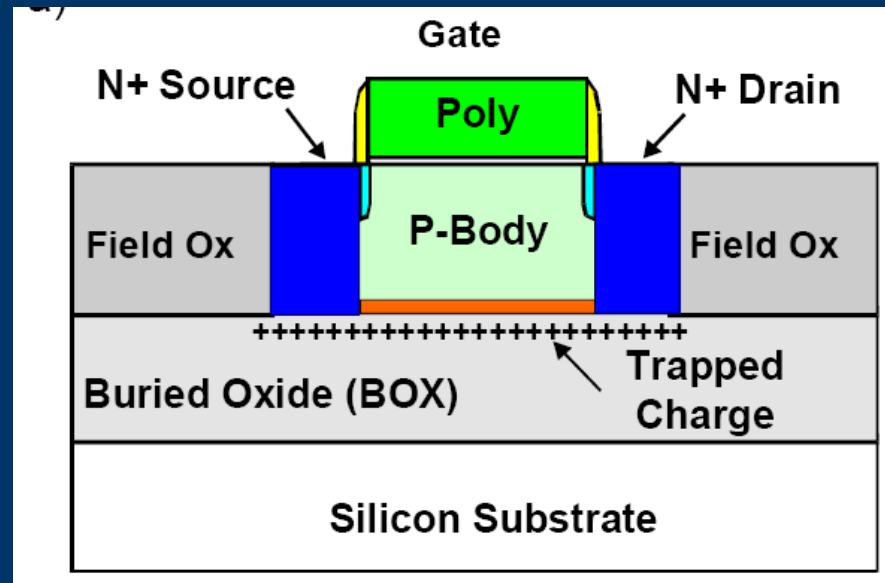


Radiation Hardness of FD-SOI

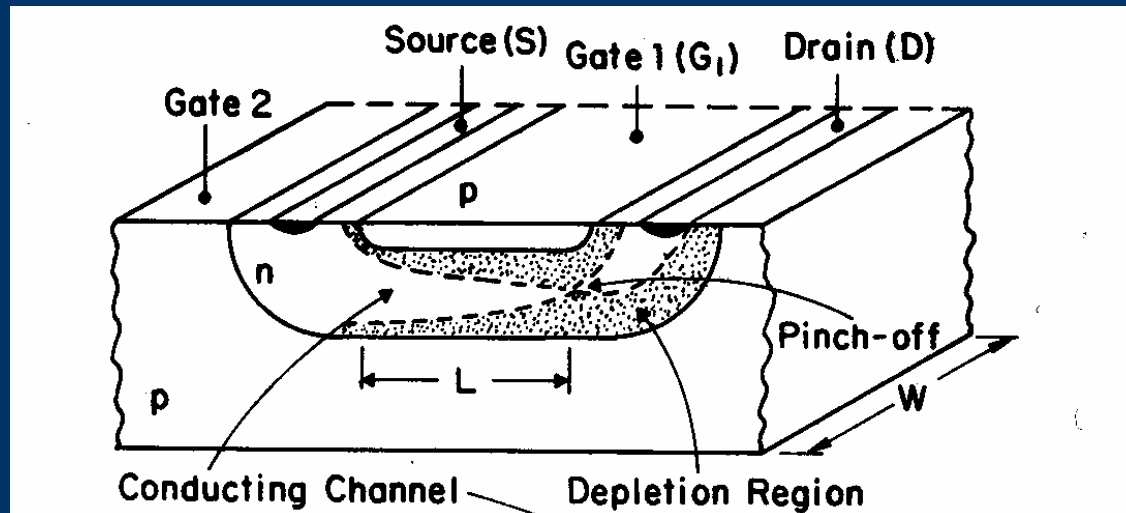
Le tecnologie CMOS SOI rivestono oggi interesse anche per la realizzazione di sensori in substrato ad alta resistività con elettronica integrata.

I MOSFET FD-SOI sono più sensibili a effetti di dose totale di radiazione ionizzante rispetto ai dispositivi bulk CMOS, a causa dell'accumulo di carica nell'ossido sepolto (spessore compreso fra circa 100 nm e 400 nm).

A causa dell'accoppiamento fra front gate e back gate (thin active silicon film), questo provoca uno spostamento della tensione di soglia del dispositivo.



Transistori a effetto di campo a giunzione (JFET)



Il canale conduttivo da source a drain è formato tramite opportuno drogaggio (N). Il gate è drogato P, in modo che applicando una tensione inversa fra gate e canale si forma una regione di svuotamento che controlla la sezione del canale e quindi il flusso di corrente fra source e drain.

Transistori a effetto di campo a giunzione (JFET)

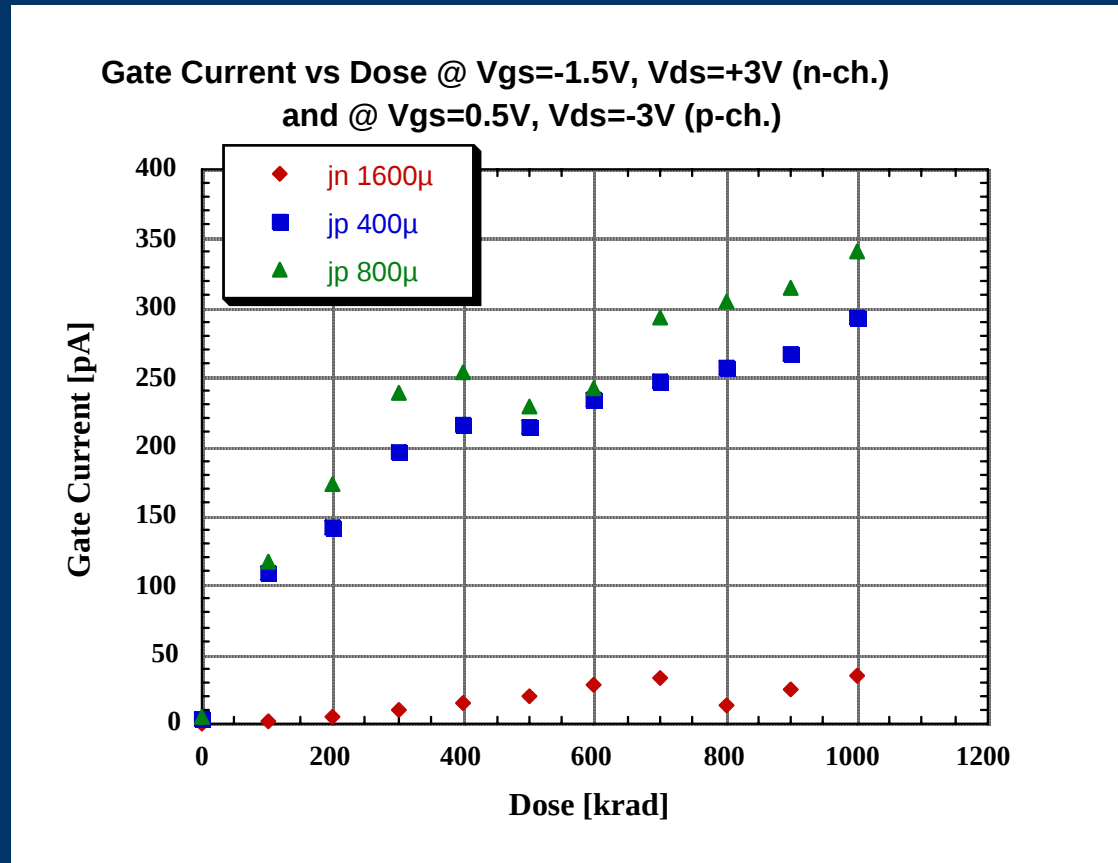
Il canale di conduzione da source a drain è controllato da una giunzione P-N.

La mancanza di un ossido di gate assicura una relativa insensibilità alla radiazione ionizzante.

Il funzionamento è basato su portatori maggioritari, ed è quindi relativamente insensibile a degradazione della vita media dei portatori minoritari. Il JFET tollera quindi l'esposizione ad elevate fluenze neutroniche, perché il drogaggio del canale è relativamente elevato (10^{16} cm^{-3}).

Il danno da dislocamento può dare luogo a un considerevole aumento della corrente di generazione nella regione di svuotamento di gate.

Effetto della radiazione ionizzante sulla corrente di gate



NJFET
Single gate
 $W=1600\mu m$
 $L=1.6\mu m$

PJFET
Double gate
 $W=400, 800\mu m$
 $L=4\mu m$

Possibili origini dell'incremento nella corrente di gate:

- generazione di dislocazioni nella zona di giunzione
- creazione di zone di inversione al di sotto dell'ossido tra source e drain.

Rumore Lorentziano nella corrente di drain

Si osserva nei JFET, dove è causato dall'intrappolamento e rilascio dei portatori di carica da parte di trappole localizzate nella regione di svuotamento fra gate e canale.

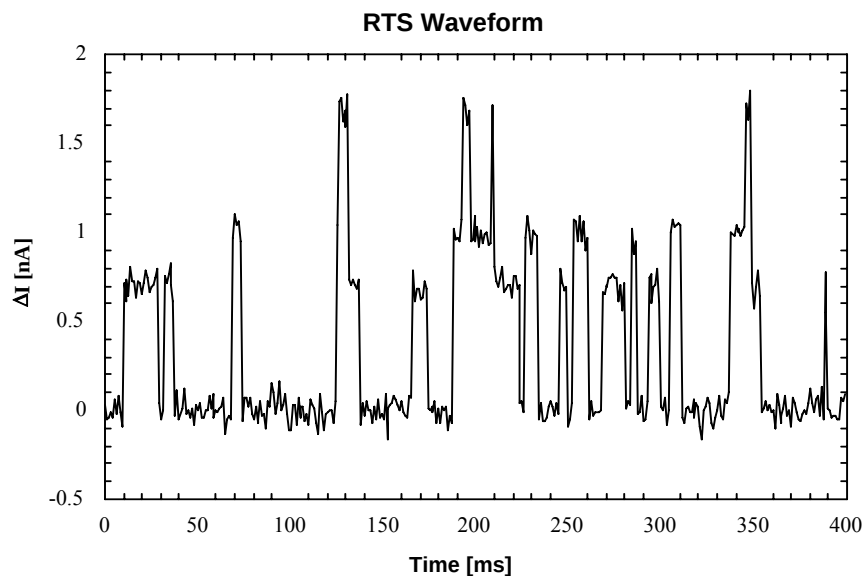
A temperatura ambiente, a frequenze superiori a 1 Hz, nella densità spettrale di rumore nella corrente di drain si osservano uno o due termini di rumore Lorentziano, della forma:

$$\frac{\overline{di_{L,i}^2}}{df} = \frac{A_{L,i} \tau_{L,i} g_m^2}{(1 + \omega^2 \tau_{L,i}^2)}$$

I contributi Lorentziani risultano particolarmente elevati in dispositivi esposti a elevate dosi di radiazione o fluenze neutroniche, in cui il dislocamento di atomi nel reticolo dà luogo alla creazione di difetti che agiscono come centri di intrappolamento.

Le frequenze caratteristiche dei termini Lorentziani sono diverse in NJFET e PJFET.

RTS waveforms in the current of semiconductor devices

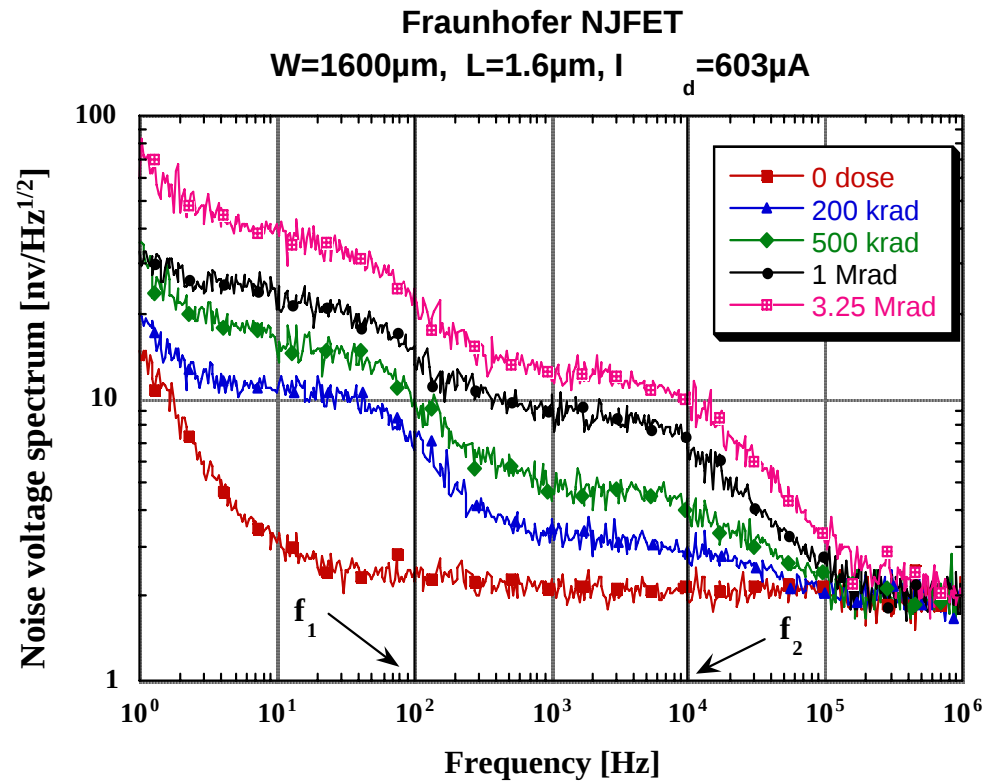
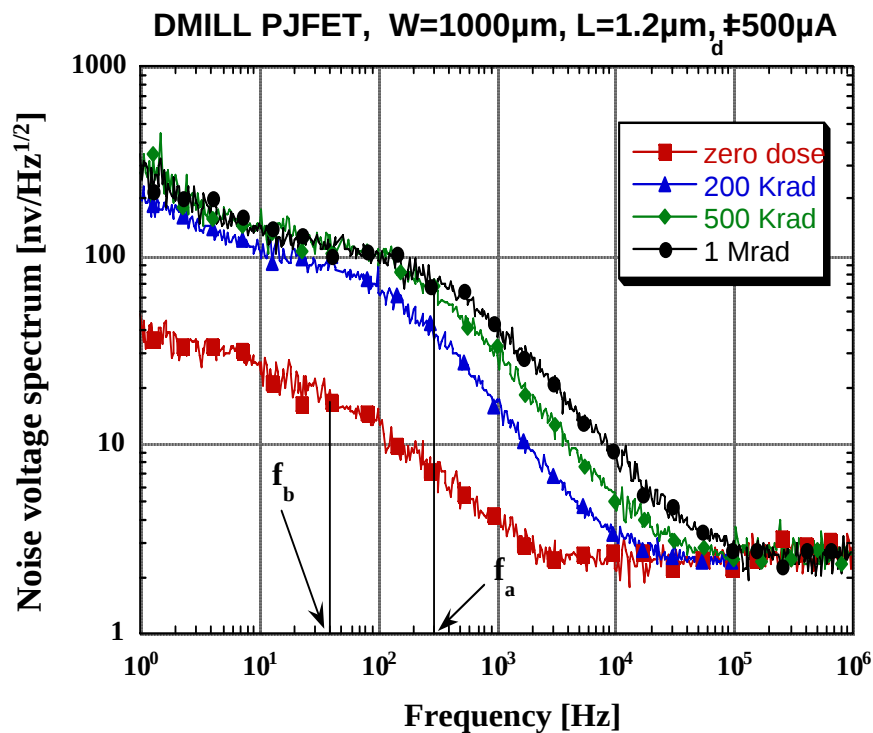


- RTS (Random Telegraph Signal) noise, also called burst noise, trapping noise or generation-recombination noise

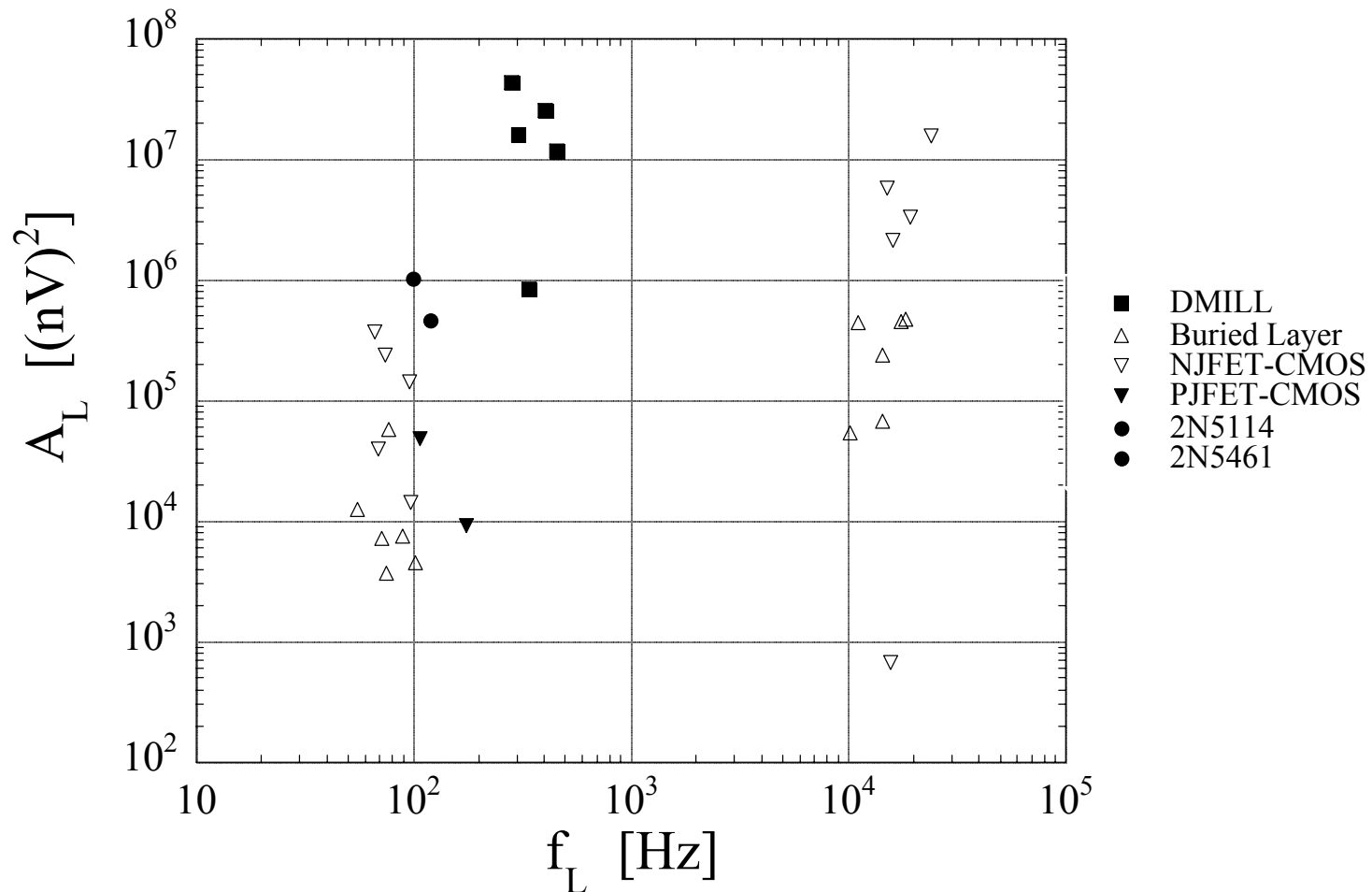
- It has been proved to result from the random capture and release of carriers at one or more localised electrical traps.

- RTS noise has been found in forward and reverse biased diodes, BJTs, in the drain current of JFETs and MOSFETs. A Lorentzian noise spectral density is associated to RTS noise.
- In an RTS Signal, the current switches between two or more average levels in correspondence to every change of the occupation state of the traps.

Rumore Lorentziano nella corrente di drain



Rumore Lorentziano nella corrente di drain



Transistori bipolari

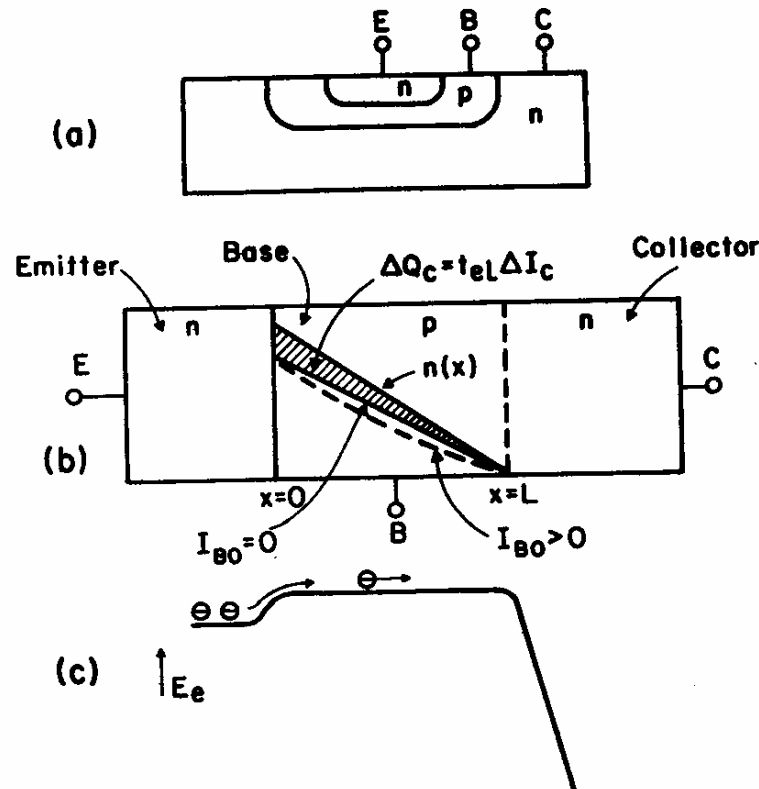


Figure 6 Charge control in a bipolar transistor. (a) Cross section of a typical npn planar bipolar transistor structure. (b) Idealized transistor structure with minority carrier concentration in the base illustrated. Shaded area represents a change in the base charge necessary to change the collector current by ΔI_c ; t_{el} is the electron transit time through the base. (c) Relative potential energy for electrons injected into the base. The emitter-base junction is forward biased and the collector-base junction is reverse biased.

Transistore bipolare

Effetti del danno da dislocamento

Il funzionamento dei transistori bipolari è basato sulla diffusione di portatori minoritari (ad esempio elettroni in una zona drogata P) in una sottile regione di semiconduttore denominata base ($< 1 \mu\text{m}$).

La presenza di livelli energetici nella banda proibita (mid-gap states) favorisce la ricombinazione dei portatori di carica. Si riduce la vita media dei portatori minoritari in base, con riduzione del guadagno in corrente $\beta = I_C / I_B$.

Il funzionamento non dipende da potenziali di superficie, quindi i bipolari sono molto meno sensibili alle radiazioni ionizzanti rispetto ai MOSFET.

Poichè la probabilità di ricombinazione dipende dal tempo di transito nella regione di base, transistori bipolari a base sottile sono più resistenti alle radiazioni.

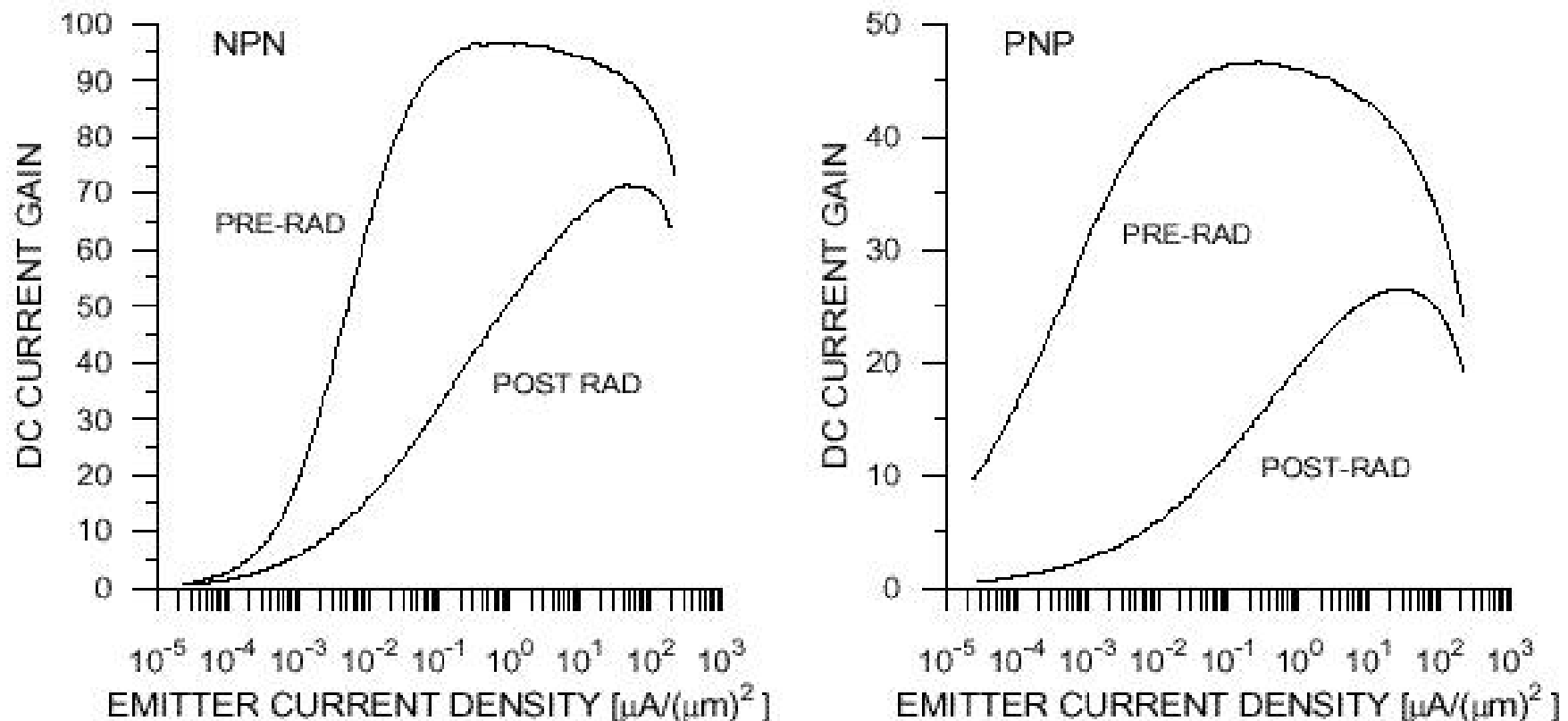


FIGURE 4. DC current gain of npn and pnp transistors before and after irradiation to a fluence of $1.2 \cdot 10^{14} \text{ cm}^{-2}$ (800 MeV protons).

La perdita percentuale di portatori dipende dalla concentrazione relativa di portatori iniettati in base e difetti. La riduzione del guadagno in corrente dovuta al danno da radiazione è quindi maggiore a bassa densità di corrente.

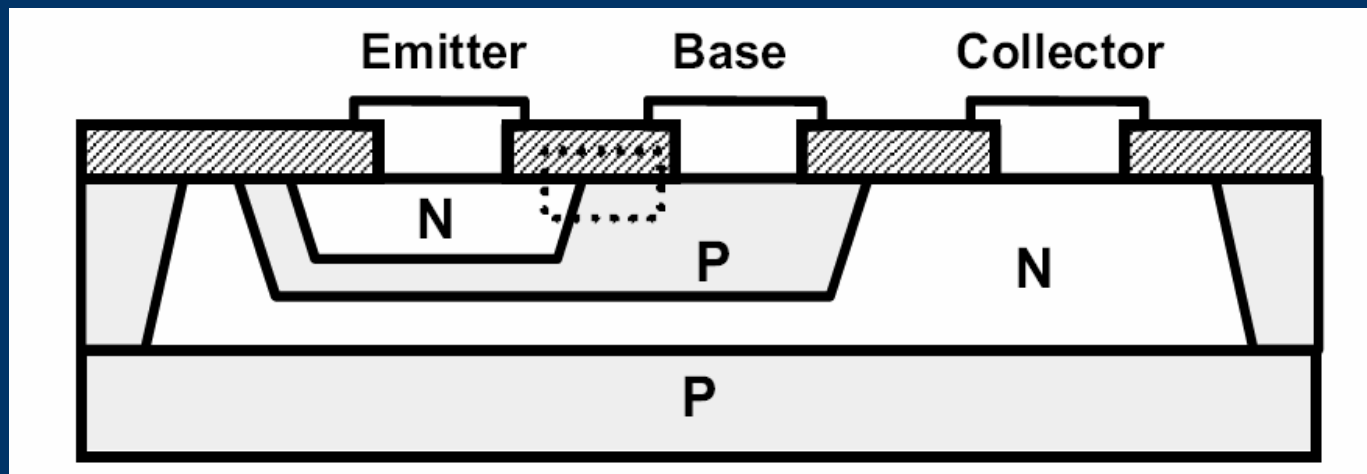
Transistore bipolare

Effetti del danno da dose totale (ionizzazione)

- Current gain β degradation, greatest at low current density
- Increase in the base current I_B component due to recombination in emitter-base depletion region
- Primary mechanisms of degradation associated to the oxide over the emitter-base junction (interaction between accumulation of positive trapped charges and of interface states)
- Depletion of low-doped p-type base regions spreading of the emitter-base depletion region (related to perimeter-to-area ratio)
- Increased surface recombination velocity (buildup of interface traps is dose-rate dependent)

Transistore bipolare

Effetti del danno da dose totale (ionizzazione)



La linea tratteggiata indica la porzione di dispositivo più sensibile alle radiazioni ionizzanti.

Thinning of the oxide over the emitter- base junction and decrease of emitter perimeter-to-area ratio are effective in reducing β degradation in NPN devices

Dose rate effects in bipolar transistors

- Some monolithic technologies are more sensitive to radiation at low dose rates (ELDRS = Enhanced Low Dose Rate Sensitivity)
- Dose rates are low in space systems ($< 0.01 \text{ rad}(\text{SiO}_2)/\text{s}$) and in high energy physics experiments ($0.05 \text{ rad}(\text{SiO}_2)/\text{s}$)
- Laboratory dose rates are high to reduce test time
- Dose-rate dependence is due primarily to the effect of oxide charge on the migration of H^+ ions towards Si - SiO_2 interface and on the consequent interface states generation
- Preliminary experimental results show a larger degradation of β at lower dose rate in PNP transistors (dominant damage mechanism: interface trap formation)

Dose rate effects in bipolar transistors

ELDRS

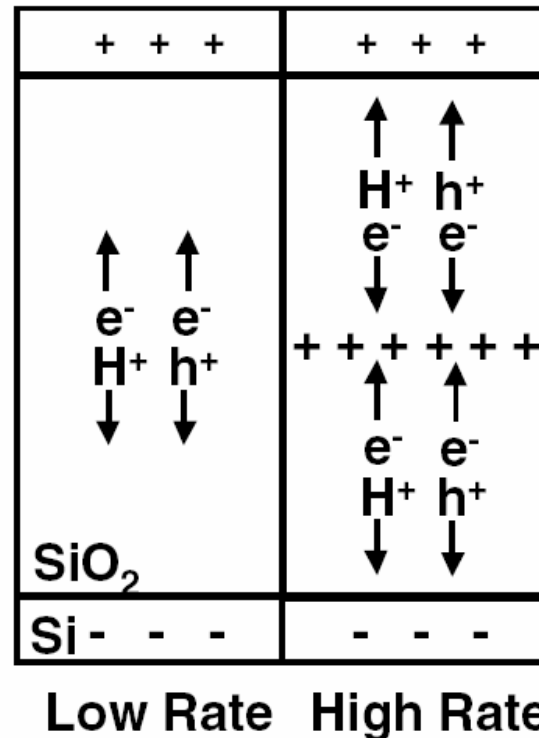


Figure 21 Possible physical explanation for the ELDRS phenomenon. At low dose rates, there is very little space charge. However, at high dose rates, the positive space charge associated with transporting holes inhibits the transport of holes and protons to the Si interface. This figure illustrates a case in which the field changes sign in the oxide (after [105]).

SiGe bipolar transistors

(HBT = Heterojunction Bipolar Transistors)

- Silicon germanium HBTs are becoming very important as high speed devices, particularly in RF circuits
- The use of a graded Ge content in the base is proved to introduce accelerating drift fields speeding the transport of electrons.
- The radiation hardness of SiGe HBTs is due to the relatively high doping levels that can be used in the base of these devices, while still obtaining adequate current gain.
- High base and emitter doping levels reduce the sensitivity of the surface carrier concentration to radiation-induced charge in the oxide.
- SiGe HBTs do not suffer from significant ELDRS

Conclusioni

Una valutazione corretta della radiazione presente e dei requisiti delle applicazioni consente di realizzare sistemi elettronici con buone prestazioni fino a dosi assorbite di radiazione ionizzante di 100 Mrad e fluenze neutroniche di 10^{14} e anche 10^{15} cm⁻².

Per ottenere la desiderata tolleranza alle radiazioni, oltre alla scelta della tecnologia, è importante il progetto circuitale.

L'esposizione a radiazione può essere uno strumento molto potente per l'analisi di fenomeni fisici nei dispositivi elettronici.

L'evoluzione delle tecnologie microelettroniche (mainstream market) va nella direzione di aumentare la resistenza alle radiazioni (oxide thickness scaling in CMOS, reduced base width in BJTs, SiGe base in HBTs).

Bibliografia

- 1) Dawes, W.R. et al, “Hardening Semiconductor Components Against Radiation and Temperature”, Noyes Data Corporation, Park Ridge, 1989, ISBN 0-8155-1212-0
- 2) Ma, T.P. and Dressendorfer, P.V., “Ionizing Radiation Effects in MOS Devices and Circuits”, John Wiley & Sons, New York, 1989, ISBN 0-471-84893-X
- 3) T. R. Oldham, “Ionizing Radiation Effects in MOS Oxides”, World Scientific, 1999, ISBN 981-02 3326-4
- 4) C. Claeys and E. Simoen, “Radiation Effects in Advanced Semiconductor Materials and Devices”, Springer Verlag, 2002, ISBN 3-540-43393-7
- 5) Spieler, H., “Introduction to Radiation-Resistant Semiconductor Devices and Circuits”, http://www-physics.lbl.gov/~spieler/radiation_effects/rad_tutor.pdf
- 6) Cesura, G. and Re, V., “Effects of γ -rays and Neutrons on the Noise Behaviour Of Monolithic JFET Circuits”, IEEE Transactions on Nuclear Science, Vol. 41, No. 3, June 1994, pp. 577-582.
- 7) M. Manghisoni, L. Ratti, V. Re, V. Speziali: “Radiation hardness perspectives for the design of analog detector readout circuits in the 0.18 μm CMOS generation”, IEEE Trans. Nucl. Sci., vol. 49, No. 6, December 2002, pp. 2902-2909.
- 8) V. Re, M. Manghisoni, L. Ratti, V. Speziali, G. Traversi, “Total ionizing dose effects on the noise performances of a 0.13 μm CMOS technology”, IEEE Trans. Nucl. Sci., vol. 53, No. 3, June 2006, pp. 1599-1606.
- 9) F. Faccio and G. Cervelli, “Radiation-induced edge effects in deep submicron CMOS transistors”, IEEE Trans. Nucl. Sci., vol. 52, No. 6, December 2005, pp. 2413-2420.
- 10) H. J. Barnaby, “Total-Ionizing-Dose effects in modern CMOS technologies”, IEEE Trans. Nucl. Sci., vol. 53, No. 3, December 2006, pp. 3103-3121.
- 11) Special Issue of the IEEE Transactions on Nuclear Science, Vol. 50, No. 3, June 2003.